

**ADI 技术指南合集**  
**第一版**  
**射频及高速器件**

# 目录

RF RMS 功率检波器 (TruPwr™) .....	1	混频器和调制器 .....	29
噪声功率比 (NPR) —— 65 岁的电话系统规范在		直接数字频率合成 (DDS) 基本原理 .....	41
现代无线应用程序中找到新的生活 .....	5	锁相环 (PLL) 基本原理 .....	50
有效值直流转换器 .....	17	高频对数放大器 .....	60
模拟乘法器 .....	21		

## RF RMS功率检波器(TruPwr™)

测量扩频CDMA/W-CDMA和高阶QAM调制系统中的复杂波形历来是一项艰巨的挑战。ADI公司为此开发了一系列[TruPwr™检波器](#)，可在RF频率下测量这些复杂信号。TruPwr™检波器向用户提供精确比例的直流电压，它是输入波形的等效有效值。ADI TruPwr™系列包括适用于无线和有线基础设施应用的产品，以及适合便携式应用的小尺寸封装器件。

现代通信系统利用复杂调制方案来提高数据速率。所得信号具有不断变化的大峰值因子(峰均比)。为了避免这些信号发生削波，功率放大器(PA)必须在线性区域内工作，使其效率下降，功耗水平升高。精确的功率测量和控制有助于延长电池使用时间，确保符合ETSI和FCC等当地法规要求。测量复杂波形的真实功率水平可能非常困难。RMS功率检波器可以测量信号的真均方根功率水平，因此最适合这一应用。对数检波器和峰值检波器对波峰因素更为敏感，可产生2 dB至5 dB的误差。温度稳定性是另一个因素，因为PA会随时间和温度变化而漂移。ADI公司的功率检波器在-40°C至+85°C的整个温度范围内呈现极小的漂移。

[AD8362](#)是真均方根响应功率检波器的一个示例，具有60 dB测量范围(参见图1)。它设计用于各种高频通信系统以及需要精确响应信号功率的仪器仪表。工作范围从任意低频至2.7 GHz以上，可接受具有1 mV到至少1 V rms有效值的输入，峰值因子最高可达6，超过了CDMA信号的精确测量要求。与先前的RMS-TO-DC转换器不同，响应带宽与信号幅度完全无关。-3 dB点出现在约3.5 GHz。

图2显示了AD8362内部结构的详细框图。输入信号施加于阻性梯形衰减器，后者包含可变增益放大器的输入级。12个触点使用专有技术顺利进行插值，以提供由施加于VSET引脚的电压控制的连续可变衰减器。所得信号施加于高性能宽带放大器，其输出通过精确平方律检波器单元测量。接着对波动输出执行滤波并与相同平方器的输出进行比较，此平方器的输入是施加于VTGT引脚的固定直流电压，通常是提供于VTGT引脚的1.25 V精确基准电压。

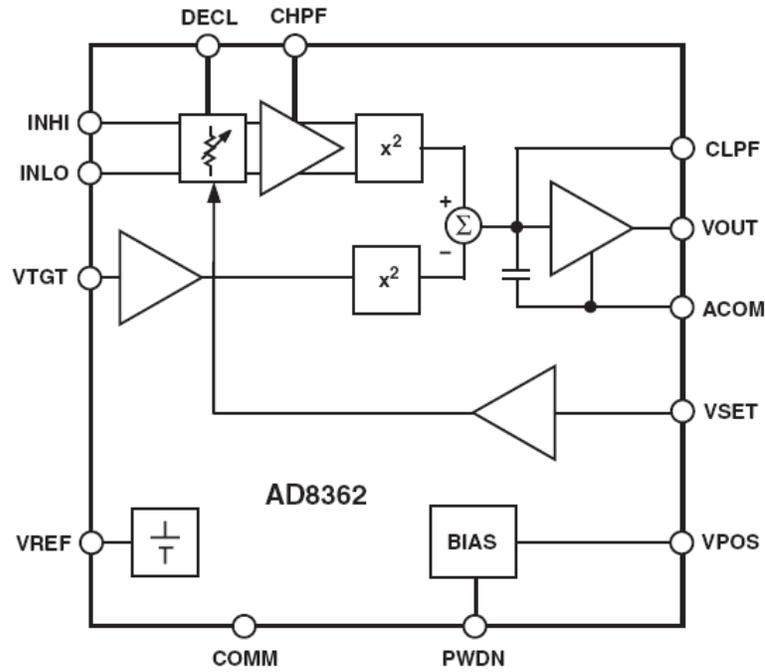


图1: AD8362 TruPwr RF RMS检波器框图

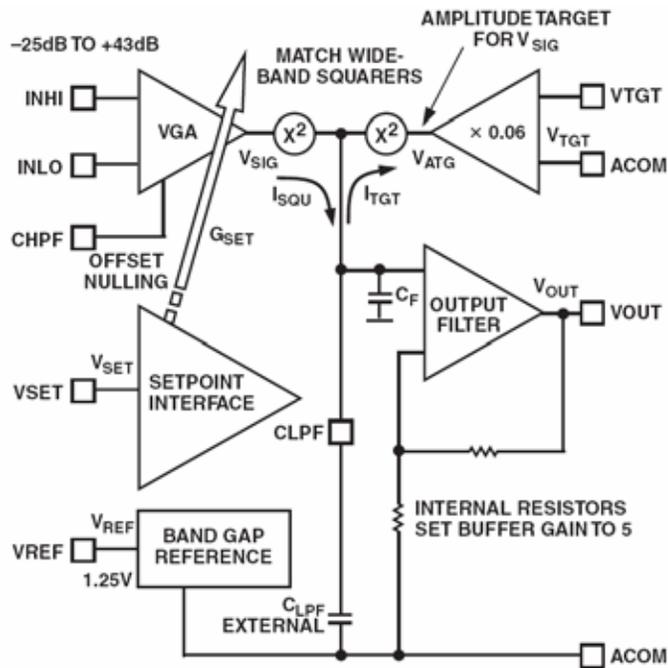


图2: AD8362内部结构



ADI公司的其他类似TruPwr RMS检波器有[AD8361](#)、[AD8363](#)、[AD8364](#)，这些器件均具有线性dB输出。[ADL5500](#)、[ADL5501](#)和[ADL5502](#)则具有线性V输出。

**参考文献：**

1. Charles Kitchen and Lew Counts, [RMS-to-DC Conversion Application Guide, Second Edition](#), Analog Devices, Inc., 1986.
2. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 4.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## 噪声功率比(NPR)—拥有65年历史的电话系统参数在现代无线应用中重获新生

作者: Walt Kester

### 简介

噪声功率比(NPR)这个概念自频分多路复用(FDM)电话系统诞生之初即已出现。简单而言, NPR用于衡量多通道系统中当其他通道上存在随机活动时, 某个闲置通道的“安静”程度。噪声和交调失真产物进入该闲置通道, 从而降低性能。该概念最初用来检查FDM链路中的4 kHz宽语音通道, 如今, 在确定多通道宽带通信系统的特性时也是有用的——但在现代测量技术方面, 存在一些重要的区别。

### NPR的历史

噪声功率比测试自频分多路复用(FDM)通信系统早期时便一直在使用。在典型的FDM系统中, 许多4 kHz宽的语音通道按频率仓“叠置”在一起, 通过同轴电缆、微波或卫星设备传输。通道的数量因系统而异。一个群由12个语音通道构成, 占据48 kHz的带宽。类似地, 一个超群有60个通道, 占据240 kHz的带宽, 一个主群有300个通道, 占据大约1.3 MHz的带宽。超群和主群通常相结合, 以构成容量更大的系统。例如, 一个拥有1800个通道的系统占据大约8 MHz的带宽。

在传输链路的接收端, FDM数据被解复用, 并转换回至4 kHz的单个语音频带通道。可见, FDM信号由多个单独的语音通道构成, 并通过放大器、中继器、通道处理单元等, 这个过程中会给信号带来额外的噪声和失真。贝尔电话实验室的早期研究(参考文献1)得出结论, 通道超过约100个的FDM系统中的复合信号可以通过带宽与组合FDM信号的带宽相等的高斯噪声拟合。例如, 一个拥有1800个通道的FDM信号可以由带宽为8.2 MHz的高斯噪声拟合。

在此基础上, 先假设除被测试的特定4 kHz通道以外的所有通道上都存在随机“说话人”, 这样就可以测量一个单独语音通道上的“质量”。因此, 通过一个窄带陷波(阻带)滤波器以及一个特别调谐的接收器(用于测量4 kHz陷波中的噪声功率, 如图1A所示), 即可测量单个4 kHz通道的“安静”程度。

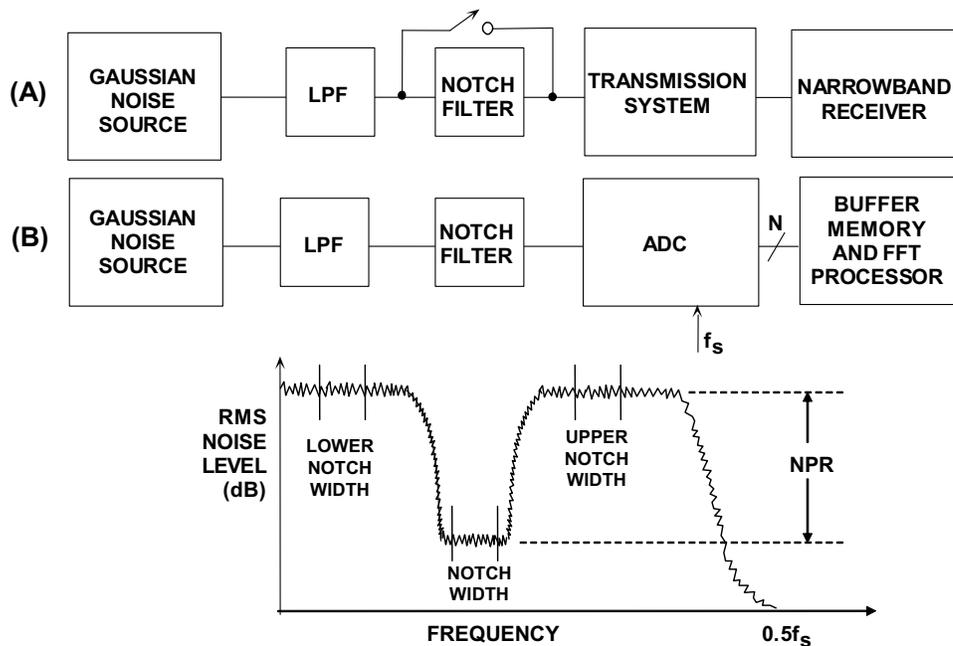


图1：噪声功率比(NPR)测量

在模拟传输系统中(图1A)，噪声功率比(NPR)测量值是非常直观的。首先关闭陷波滤波器，通过窄带接收器测量陷波内信号的均方根噪声功率。然后切换陷波滤波器，测量陷波内的残余噪声。这两个读数的比值即为NPR，单位用dB表示。要充分确定系统的特性，需要对整个噪声带宽(低、中频段、高)的多个陷波频率进行测试。有关早期NPR测试设备和测量值的详细情况可在参考文献4中找到。ADC的NPR测量采用类似方式即可，只是模拟接收器被一个缓冲存储器和一个FFT处理器(用于执行计算)取代了，如图1B所示。有些情况下，先用ADC把组合FDM信号转换成数字信号，然后进行传输，再在接收器端用DAC转换回模拟信号。此时，如图1A所示模拟方法被用来测试NPR。

在1939年的一篇文章中(参考文献1)，Holbrook和Dixon对FDM系统进行了分析，以便确定最佳通道“加载”电平。在二人成果的基础上，诞生了多通道噪声加载的基本理论。其目标是使信号电平(或“加载”)设为一个将产生最高NPR的值。NPR通常用相对于系统峰值范围的均方根噪声电平的关系曲线来表示。对于极低的噪声加载电平，干扰噪声(非数字系统中)主要是热噪声，与输入噪声电平无关。在曲线的该区域，噪声加载电平提高1 dB将导致NPR提高1 dB。随着噪声加载电平提高，系统中的放大器和中继器开始过载，产生交调积，导致系统的本底噪声升高。当输入噪声继续提高时，“过载”噪声的影响占主导地位，NPR大幅降低。FDM系统通常在低于最大NPR点几dB的噪声加载电平下工作，以便在峰值繁忙时段有充足的裕量。

1966年，CCITT/CCIR把针对FDM系统提出的系统NPR建议正式化，以便测量频分多路(FDM)通信链路的传输特性(见参考文献4)。

在含有一个ADC的数字系统中，当施用的是低电平输入噪声时，陷波内的噪声主要是量化噪声。然而，对于极低幅度信号(低于1 LSB峰峰值)，结果产生的噪声返回ADC等效输入噪声。对于使用该ADC的多个LSB的信号，NPR曲线呈线性，主要是量化噪声。随着噪声电平的提高，噪声电平与NPR之间存在一一对应关系。然而，在某个电平下，ADC的硬限幅行为导致的“削波”噪声将开始占据主导地位。ADC硬限幅“削波”噪声与模拟FDM的软限幅“过载”噪声有所不同，在削波区产生“较陡”的向下斜坡。

### 针对数字系统的理论NPR值

多年以来，有几篇论文探讨了针对一种理想n位ADC的理论NPR值(如参考文献5、6、7)。其中，参考文献6是最完善的，同时展示了均匀分布噪声和高斯噪声的推导过程。然而，高斯噪声与NPR测试的相关性更高。虽然推导过程并不难，但确实涉及一些偏积分。由于“削波”噪声组分并无闭式解，因此，在实际计算过程中，必须使用数值法来计算理论NPR值。

10、12、14和16位ADC的理论曲线如图2所示。了解项 $V_O$ 、 $\sigma$ 、 $k$ 和均方根加载电平( $-20\log_{10}k$ )的定义对于避免混淆是十分重要的。

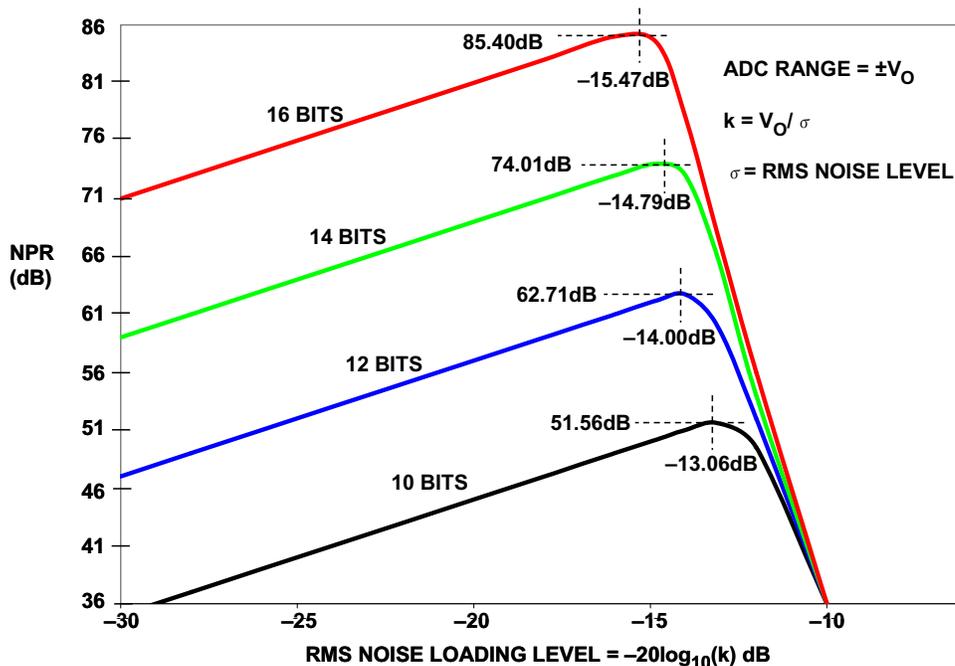


图2: 10、12、14和16位ADC的理论NPR值

需要知道的是，这些曲线是以理想ADC为基础的，其中，唯一的噪声是量化噪声和削波噪声。在实践中，实际性能水平会低于理论值，因被测试的具体ADC而异。

ADC输入范围是双极性的，为 $\pm V_o$ 满量程(即 $2V_o$ 峰峰值)。输入均方根噪声水平为 $\sigma$ ，噪声加载系数 $k$ (亦称波峰因数)定义为 $V_o/\sigma$ 。因而， $k$ 的值为峰值信号与均方根噪声之比，其中， $k$ 表示为一个数值比。同样，必须注意的是，峰值信号为 $V_o$ 表示峰峰值满量程输入为 $2V_o$ 。这可能会引起混淆。换句话说，通过 $v(t) = V_o \cdot \sin\omega t$ 算出的满量程正弦波刚好满足ADC输入范围。这也是 $V_o$ 被称为峰值幅度的原因。

$k$ 的倒数为均方根噪声与峰值信号之比，均方根噪声加载电平定义为 $1/k$ ，单位为dB：

$$\text{RMS Noise Loading Level} = 20\log_{10}\left(\frac{1}{k}\right) = -20\log(k). \quad \text{等式 1}$$

理论NPR值的推导可以分为两个部分。第一个部分推算出一个理想 $n$ 位ADC的理论量化噪声功率。第二部分推算因ADC限幅作用导致的“削波噪声”功率。总噪声功率为两个噪声功率之和。同时展现两个区域的完整误差波形如图3所示。

该理论是以几种假设为基础的。首先，量化误差信号与输入信号无相互关系。只要信号幅度至少为几LSB，且ADC的分辨率至少为6位，这都是有效的。其次，采样速率为输入噪声带宽的两倍。第三，ADC充当超范围信号的理想限幅器。这三个假设对多数实用系统都是有效的，由此可以得到相对直观的解。

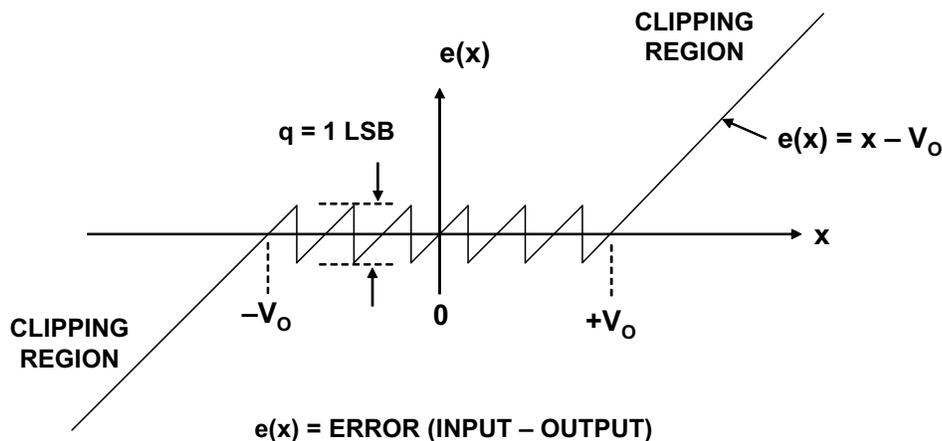


图3：理想ADC误差波形

量化噪声组分(表示为实际量化噪声电压的平方, 结果得到噪声功率)为(见参考文献2):

$$N_Q = \frac{q^2}{12} \quad \text{等式 2}$$

其中,  $q$ 为最低有效位(LSB)的权重。需要注意的是, 这是在整个奈奎斯特带宽直流至 $f_s/2$ 的范围内测得的量化噪声功率。如果信号带宽减小, 减小的带宽中的噪声会按比例减少, 必须增加一个校正因数(本文后面将讨论这一点)。

继续推导, 可知,  $q = 2V_o/2^n$ 。因此, 由等式2得出:

$$N_Q = \frac{q^2}{12} = \frac{(2V_o/2^n)^2}{12} = \frac{V_o^2}{3 \cdot 2^{2n}} \quad \text{等式 3}$$

然而, 由 $k = V_o/\sigma$ 可知,  $V_o = k\sigma$ , 代入等式3可得:

$$N_Q = \frac{k^2 \sigma^2}{3 \cdot 2^{2n}} \quad \text{等式 4}$$

现在, 可参看图3, 了解削波噪声功率 $N_c$ 的推算过程。

削波噪声功率可通过以下通用等式算出:

$$N_C = \int_{-\infty}^{+\infty} e^2(x)P(x)dx \quad \text{等式 5}$$

从图3B可知,

$$e(x) = x - V_o, \text{ 对于 } x > V_o, \text{ 则有} \quad \text{等式 6}$$

$$N_C = 2 \int_{V_o}^{\infty} (x - V_o)^2 P(x)dx \quad \text{等式 7}$$

其中,  $P(x)$ 为高斯概率密度函数, 计算等式如下:

$$P(x) = \frac{1}{\sigma\sqrt{2\pi}} e^{-x^2/2\sigma^2} \quad \text{等式 8}$$

代入  $V_o = k\sigma$ ，并把等式8与等式7相结合，有：

$$N_C = 2 \int_{k\sigma}^{\infty} (x - k\sigma)^2 \cdot \frac{1}{\sigma\sqrt{2\pi}} e^{-x^2/2\sigma^2} dx \quad \text{等式 9}$$

从积分的最后结果(完整推算过程见附录)可得：

$$N_C = 2\sigma^2(k^2 + 1)[1 - N(k)] - k\sigma^2 \sqrt{\frac{2}{\pi}} e^{-k^2/2} \quad \text{等式 10}$$

其中， $N(k)$ 为正态分布函数：

$$N(k) = \int_{-\infty}^k \frac{1}{\sqrt{2\pi}} e^{-t^2/2} dt \quad \text{等式 11}$$

出于计算目的，函数 $[1 - N(k)]$ 可通过以下表达式近似算出：

$$1 - N(k) \approx \frac{1}{k\sqrt{2\pi}} e^{-k^2/2} \left[ 1 - \frac{1}{k^2 + 2} + \frac{1}{(k^2 + 2)(k^2 + 4)} - \frac{5}{(k^2 + 2)(k^2 + 4)(k^2 + 6)} + \frac{9}{(k^2 + 2)(k^2 + 4)(k^2 + 6)(k^2 + 8)} - \frac{129}{(k^2 + 2)(k^2 + 4)(k^2 + 6)(k^2 + 8)(k^2 + 10)} \right] \quad \text{等式 12}$$

现在，将等式4和等式10相加就可算出总噪声 $N_T$ ：

$$N_T = N_Q + N_C = \frac{k^2\sigma^2}{3 \cdot 2^{2n}} + 2\sigma^2(k^2 + 1)[1 - N(k)] - k\sigma^2 \sqrt{\frac{2}{\pi}} e^{-k^2/2}, \quad \text{等式 13}$$

$$\frac{N_T}{\sigma^2} = \frac{k^2}{3 \cdot 2^{2n}} + 2(k^2 + 1)[1 - N(k)] - k\sqrt{\frac{2}{\pi}} e^{-k^2/2}. \quad \text{等式 14}$$

$$NPR = 10 \log \left( \frac{\sigma^2}{N_T} \right) = -10 \log \left( \frac{N_T}{\sigma^2} \right) \quad \text{等式 15}$$

图4展示了分辨率在8位至20位之间的ADC的NPR理论峰值以及相应的k值。纵轴为NPR(据等式15, 单位为dB)。横轴为高斯噪声加载电平与峰值信号电平的关系,  $\sigma/V_O$ , 单位为dB。

<b>BITS</b>	<b>k OPTIMUM</b>	<b>k(dB)</b>	<b>MAX NPR (dB)</b>
<b>8</b>	<b>3.92</b>	<b>11.87</b>	<b>40.60</b>
<b>9</b>	<b>4.22</b>	<b>12.50</b>	<b>46.05</b>
<b>10</b>	<b>4.50</b>	<b>13.06</b>	<b>51.56</b>
<b>11</b>	<b>4.76</b>	<b>13.55</b>	<b>57.12</b>
<b>12</b>	<b>5.01</b>	<b>14.00</b>	<b>62.71</b>
<b>13</b>	<b>5.26</b>	<b>14.41</b>	<b>68.35</b>
<b>14</b>	<b>5.49</b>	<b>14.79</b>	<b>74.01</b>
<b>15</b>	<b>5.72</b>	<b>15.15</b>	<b>79.70</b>
<b>16</b>	<b>5.94</b>	<b>15.47</b>	<b>85.40</b>
<b>18</b>	<b>6.34</b>	<b>16.04</b>	<b>96.88</b>
<b>20</b>	<b>6.78</b>	<b>16.62</b>	<b>108.41</b>

**ADC Range =  $\pm V_O$**

**$k = V_O / \sigma$**

**$\sigma = \text{RMS Noise Level}$**

**图4: 8至20位ADC的理论最大NPR值**

同样, 需要记住的是, 这是在输入信号噪声占据整个奈奎斯特带宽(直流至 $f_s/2$ )时得到的NPR。对于过采样, 其信号带宽BW小于 $f_s/2$ , 必须将校正因数 $10\log_{10}[f_s/(2 \cdot BW)]$ (通常称为处理增益)加到由等式15计算的NPR中:

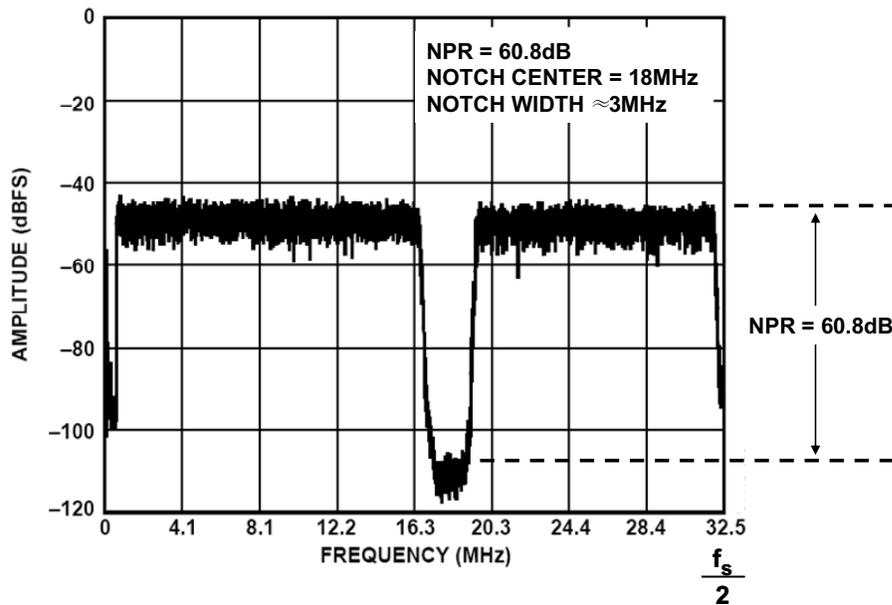
$$\text{NPR} = 10 \log \left( \frac{\sigma^2}{N_T} \right) + 10 \log \left( \frac{f_s}{2 \cdot BW} \right). \quad \text{等式 16}$$

在多通道高频通信系统中, 其中, 通道之间仅存在少量或不存在相位相关, 可通过NPR来测量因大量独立通道导致的失真和噪声, 这与FDM系统相类似。将一个陷波滤波器置于噪声源与ADC之间, 并用一个FFT输出来取代模拟接收器。陷波滤波器的宽度设为约500 kHz至2 MHz, 如图5所示, 其中为12位65-MSPS ADC [AD9229](#)。采样速率为65 MSPS, 陷波以18 MHz为中心, NPR为陷波的“深度”。一个理想的ADC只会产生量化噪声的理论值, 然而, 由于ADC瑕疵导致的额外噪声和交调失真的影响, 实用ADC还有其他噪声组分。请注意, NPR约为60.8 dB, 其理论值为62.7 dB。

以数字手段测量NPR要求FFT有足够的采样数，以使滤波器陷波内至少有25至50采样。显然，陷波宽度与FFT大小之间存在折衷。然而，陷波宽度不得大于噪声带宽的约10%，否则，测试结果可能无效。

在针对AD9229的图5所示例子中，FFT大小为16,384，结果可得频率分辨率为 $65 \text{ MSPS}/16,384 = 3.97 \text{ kHz}$ 。由于陷波滤波器宽度在陷波底部约为1 MHz，因而，大约有250采样处于陷波之内。因对中心频率、宽度和阻带抑制存在具体的要求，为了在ADC上实现NPR测试，一般需要使用定制的陷波滤波器。只使用简单的滤波器和宽带噪声源很难得到良好的结果。目前市场上有宽带高斯噪声发生器(如NoiseCom DNG7500)，借助它们，用户可以根据应用需要定制噪声。结合使用高斯噪声整形发生器和陷波滤波器，可以使这种测试更加容易实施。在此基础上，必须求出几个FFT结果的均值，以减少每次运行时NPR结果的变化，因为只有少量采样处于陷波本身之内。图5所示数据表示5次FFT运行的NPR平均结果。

NPR需要在整个噪声带宽内在几个不同的频率下进行测量，因而要求使用几个陷波滤波器。在高频下，会发生一定的衰减——与ADC的其他交流规格(如SNR和SFDR)的衰减非常相似。



**图5：AD9229 12位、65-MSPS ADC NPR  
测得值为60.8 dB(理论值为62.7 dB)**

## 总结

我们展示了如何在标准FDM系统中用NPR来确定多通道系统(其语音通道宽度为4 kHz)的噪声和交调失真特性。也可用其来确定最佳信号电平以获得最大动态范围。这个历史达65年之久的概念在当今的现代多通道无线系统中仍然十分有用。虽然带宽和通道间距提高了,但同样的概念仍然适用。在许多情况下, NPR是复杂的多音测试的出色逼近, 在测试系统的动态范围时, 涵盖了许多应用的具体特性(见参考文献7)。

尽管单音或双音正弦波信号是目前用于测试ADC宽带应用的最流行的方法, NPR测试却提供了一种相对简单的方法, 它用一个高斯噪声输入来模拟宽带多音信号, 不需要产生大量的单音正弦波。

## 参考文献

1. B. D. Holbrook and J. T. Dixon, "Load Rating Theory for Multi-Channel Amplifiers," *Bell System Technical Journal*, Vol. 18, pp. 624-644, October 1939.
2. W. R. Bennett, "Spectra of Quantized Signals," *Bell System Technical Journal*, Vol. 27, pp. 446-472, July 1948.
3. W. R. Bennett, H. E. Curtis, and S. O. Rice, "Interchannel Interference in FM and PM Systems under Noises Loading Conditions," *Bell System Technical Journal*, Vol. 34, pp. 601-636, May 1955.
4. M.J. Tant, *The White Noise Book*, Marconi Instruments, July 1974.
5. G.A. Gray and G.W. Zeoli, "Quantization and Saturation Noise due to A/D Conversion," *IEEE Trans. Aerospace and Electronic Systems*, Jan. 1971, pp. 222-223.
6. Fred H. Irons, "The Noise Power Ratio—Theory and ADC Testing," *IEEE Transactions on Instrumentation and Measurement*, Vol. 49, No. 3, June 2000, pp. 659-665.
7. *IEEE Std. 1241-2000, IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters*, IEEE, 2001, ISBN 0-7381-2724-8.
8. NoiseCom DNG7500 Digital Noise Generator, <http://www.noisecom.com>

## 附录

在本附录中，我们将展示如何评估来自等式9的以下积分。

$$N_C = 2 \int_{k\sigma}^{\infty} (x - k\sigma)^2 \cdot \frac{1}{\sigma\sqrt{2\pi}} e^{-x^2/2\sigma^2} dx. \quad \text{等式A1}$$

该积分的形式为：

$$N_C = C \int_A^{\infty} (x - A)^2 e^{-Bx^2} dx \quad \text{等式A2}$$

其中：

$$A = k\sigma, \quad B = \frac{1}{2\sigma^2}, \quad C = \frac{\sqrt{2}}{\sigma\sqrt{\pi}}. \quad \text{等式A3}$$

结合等式A2：

$$N_C = C \int_A^{\infty} (x - A)^2 e^{-Bx^2} dx = C \int_A^{\infty} x^2 e^{-Bx^2} dx - 2AC \int_A^{\infty} xe^{-Bx^2} dx + CA^2 \int_A^{\infty} e^{-Bx^2} dx \quad \text{等式A4}$$

现在，用偏积分法来估算第一个积分：

$$\int_A^{\infty} x^2 e^{-Bx^2} dx = -\frac{1}{2B} \int_A^{\infty} x(-2Bx) e^{-Bx^2} dx. \quad \text{等式A5}$$

偏积分的基本等式是：

$$\int u dv = uv - \int v du. \quad \text{等式A6}$$

Let  $u = x$  且  $dv = -2Bxe^{-Bx^2} dx$ .

则有

$$\int_A^\infty x^2 e^{-Bx^2} dx = -\frac{1}{2B} \left\{ xe^{-Bx^2} \Big|_A^\infty - \int_A^\infty e^{-Bx^2} dx \right\} \quad \text{等式A7}$$

$$= \frac{A}{2B} e^{-BA^2} + \frac{1}{2B} \int_A^\infty e^{-Bx^2} dx \quad \text{等式A8}$$

评估等式A4中的第二个积分：

$$\int_A^\infty xe^{-Bx^2} dx = -\frac{1}{2B} \int_A^\infty (-2Bx) e^{-Bx^2} dx = -\frac{1}{2B} e^{-Bx^2} \Big|_A^\infty = \frac{1}{2B} e^{-BA^2} \quad \text{等式A9}$$

将等式A8和A9代入等式A4：

$$\begin{aligned} N_C &= C \int_A^\infty (x-A)^2 e^{-Bx^2} dx \\ &= \frac{CA}{2B} e^{-BA^2} + \frac{C}{2B} \int_A^\infty e^{-Bx^2} dx - \frac{2AC}{2B} e^{-BA^2} + A^2 C \int_A^\infty e^{-Bx^2} dx \\ &= \left( \frac{AC}{2B} - \frac{2AC}{2B} \right) e^{-BA^2} + \left( \frac{C}{2B} + A^2 C \right) \int_A^\infty e^{-Bx^2} dx \\ &= -\frac{AC}{2B} e^{-BA^2} + C \left( \frac{1}{2B} + A^2 \right) \int_A^\infty e^{-Bx^2} dx \end{aligned} \quad \text{等式A10}$$

现在，据等式 | A3，把  $A = k\sigma$ ， $B = \frac{1}{2\sigma^2}$ ，和  $C = \frac{\sqrt{2}}{\sigma\sqrt{\pi}}$  代入等式A10：

$$N_C = -k\sigma^2 \frac{\sqrt{2}}{\pi} e^{-k^2/2} + \frac{2\sigma}{\sqrt{2\pi}} (1+k^2) \int_{k\sigma}^\infty e^{-x^2/2\sigma^2} dx \quad \text{等式A11}$$

$$\text{令 } t = \frac{x}{\sigma}, \quad x = t\sigma, \quad dx = \sigma dt \quad \text{等式A12}$$

然后代入等式A11，并重排可得：

$$N_C = 2\sigma^2(1+k^2) \left[ 1 - \frac{1}{\sqrt{2\pi}} \int_{-\infty}^k e^{-t^2/2} dt \right] - k\sigma^2 \sqrt{\frac{2}{\pi}} e^{-k^2/2} \quad \text{等式A13}$$

$$N_C = 2\sigma^2(1+k^2)[1 - N(k)] - k\sigma^2 \sqrt{\frac{2}{\pi}} e^{-k^2/2} \quad \text{等式A14}$$

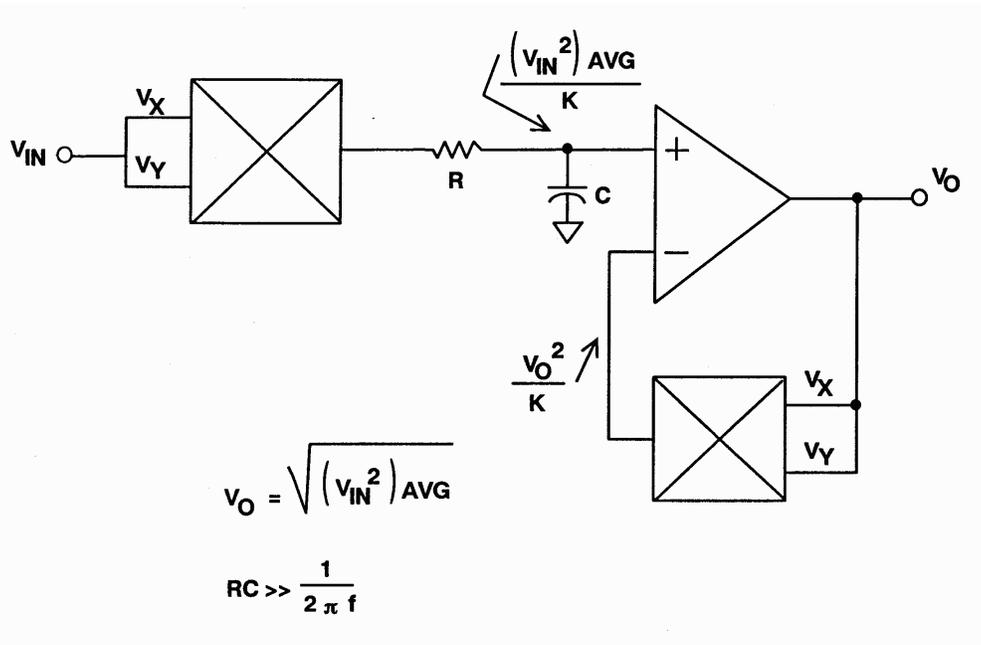
其中， $N(k) = \frac{1}{\sqrt{2\pi}} \int_{-\infty}^k e^{-t^2/2} dt$ ，正态分布函数 等式A15

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

**有效值直流转换器**

有效值(rms)衡量交流信号的幅度。从实用角度定义，交流信号的有效值等于以同一负载产生同等热量所需的直流量。从数学角度定义，电压有效值为信号求平方、求平均值，然后取其平方根所获得的值。取平均值的时间必须足够长，以便能在所需的最低工作频率进行滤波。我们将通过一些例子来说明模拟电路如何高效实现该功能。有关有效值直流转换器的更多详细信息，参见[参考文献1](#)。

第一种方法称为直接显式法(explicit)，如图1所示。输入信号首先由模拟乘法器求平方，然后采用适当的滤波器取平均值，再通过反馈环路中具有第二个平方器的运算放大器取其平方根。该电路动态范围有限，因为平方器之后的各级必须尝试处理幅度变化很大的信号。这会限制此方法，使输入最大动态范围约为10:1 (20 dB)。但是，如果可以使用[AD834](#)之类的乘法器作为构建模块，就可以实现出色的带宽(100 MHz以上)和高精度(见图2)。



**图1: 直接显式(Explicit)有效值计算**

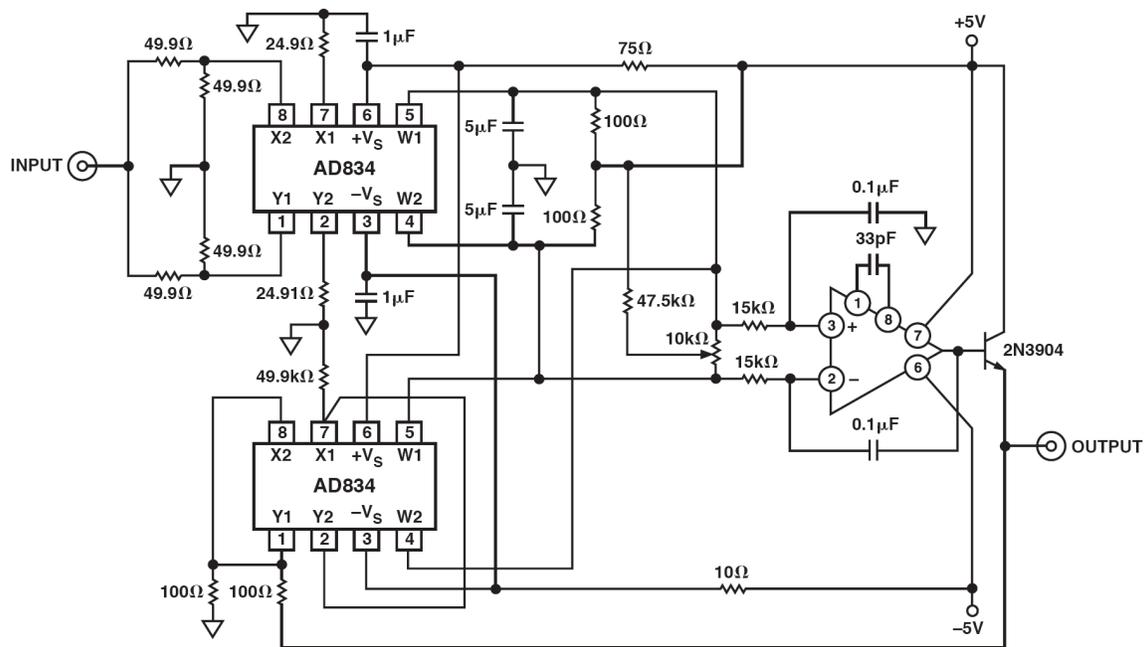


图2：用AD834模拟乘法器进行宽带有有效值测量

图3显示采用隐式法计算信号有效值的电路。此处，输出反馈至AD734等乘法器的直接分频输入。在该电路中，乘法器的输出随输入的有效值呈线性变化(而非呈平方变化)。与显式电路相比，这种隐式电路明显扩大了输入的动态范围。如果输入先流过绝对值电路， $V_{IN}^2/V_Z$ 电路可由电流驱动，且只需要一个象限。隐式有效值直流法的缺点在于其带宽通常小于显式计算

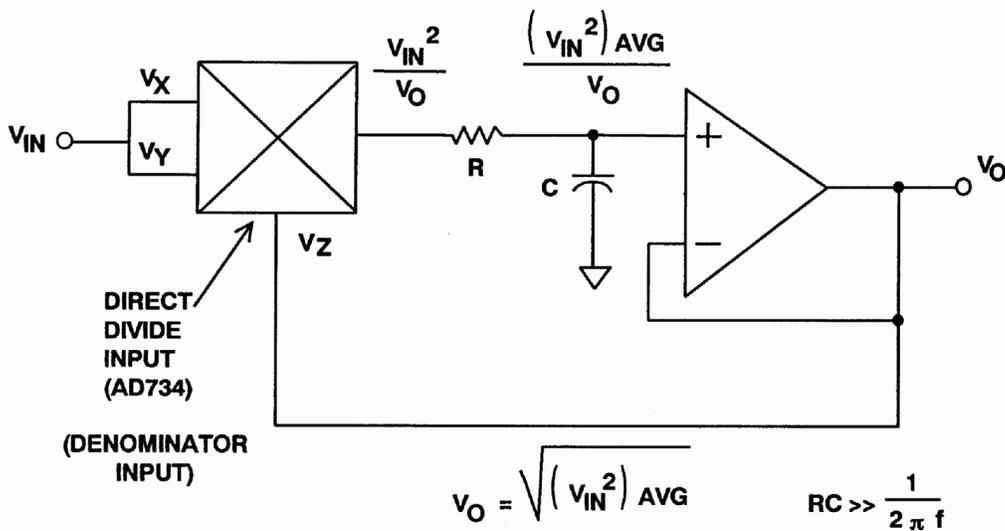


图3：隐式(Implicit)有效值计算

这种有效值电路可以采用AD734模拟乘法器构建，若使用专用的有效值直流电路则更加简单。图4显示典型单芯片有效值直流转换器AD536A的简单示意图。

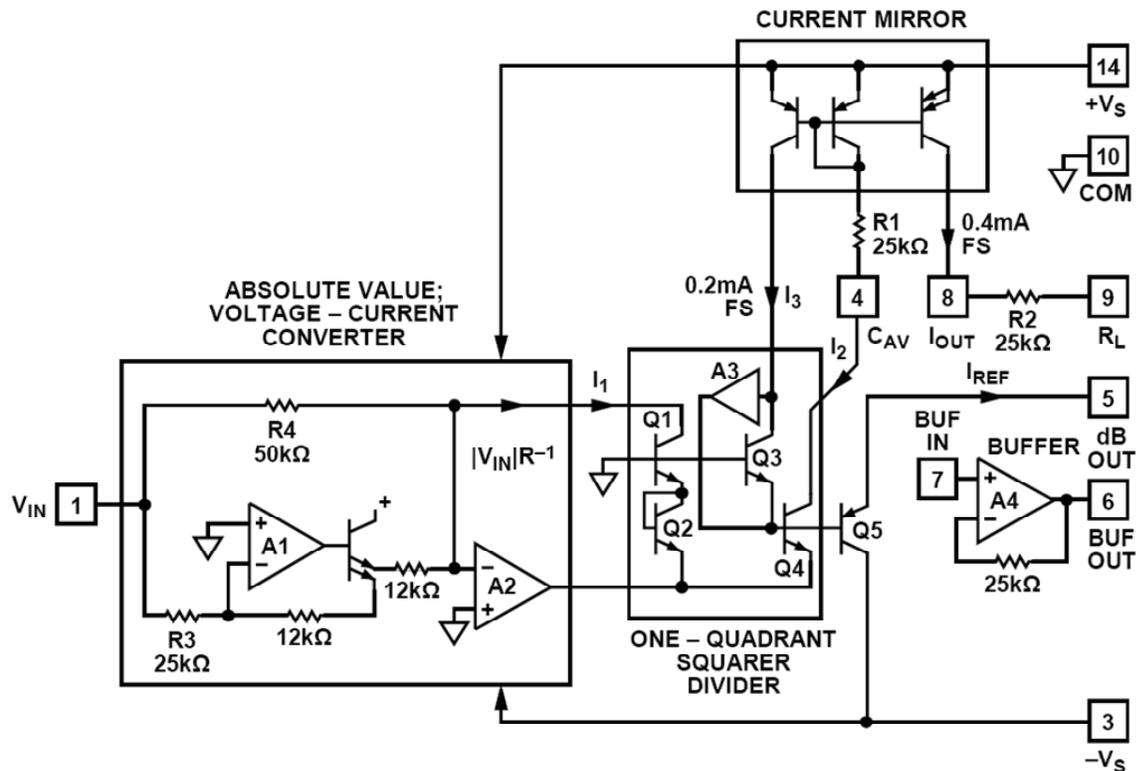


图4: AD536A单芯片有效值直流转换器

该图分为四个主要部分：绝对值电路(有源整流器)、平方器/除法器、电流镜，以及缓冲放大器。输入电压 $V_{IN}$ 可以为交流或直流，由绝对值电路 $A_1$ 、 $A_2$ 转换为单极性电流 $I_1$ 。 $I_1$ 驱动一象限平方器/除法器的一路输入，传递函数为： $I_4 = I_1^2/I_3$ 。平方器/除法器的输出电流 $I_4$ 驱动电流镜，通过由 $R1$ 和外接电容 $C_{AV}$ 构成的低通滤波器。如果 $R1C_{AV}$ 时间常数远远大于输入信号的最长周期，则 $I_4$ 可以有效取平均值。电流镜返回的电流 $I_3$ 等于 $AVG[I_4]$ ，回到平方器/除法器，以完成隐式有效值计算。因此：

$$I_4 = AVG [I_1^2/I_4] = I_1 \text{ rms} \quad \text{公式 1}$$

电流镜还会产生输出电流 $I_{out}$ ，相当于 $2I_4$ 。 $I_{out}$ 可以直接使用，或通过 $R2$ 转换为电压，然后由 $A4$ 缓冲，产生低阻抗电压输出。传递函数变为：

$$V_{out} = 2R2 \cdot I_{rms} = V_{IN} \text{ rms} \quad \text{公式 2}$$

The dB output is derived from the emitter of Q3, since the voltage at this point is proportional to  $-\log V_{IN}$ . Emitter follower, Q5, buffers and level shifts this voltage, so that the dB output voltage is zero when the externally supplied emitter current ( $I_{REF}$ ) to Q5 approximates  $I_3$ . However, the gain of the dB circuit has a TC of approximately 3300 ppm/°C and must be temperature compensated.

There are a number of commercially available rms-to-dc converters in monolithic form which make use of these principles. The [AD536A](#) is a true rms-to-dc converter with a bandwidth of approximately 450 kHz for  $V_{rms} > 100$  mV rms, and 2 MHz bandwidth for  $V_{rms} > 1$  V rms. The [AD636](#) is designed to provide 1 MHz bandwidth for low-level signals up to 200 mV rms. The [AD637](#) has a 600 kHz bandwidth for 100 mV rms signals, and an 800 MHz bandwidth for 1 V rms signals. Low cost, general purpose rms-to-dc converters such as the [AD736](#) and [AD737](#) (power-down option) are also available.

#### 参考文献:

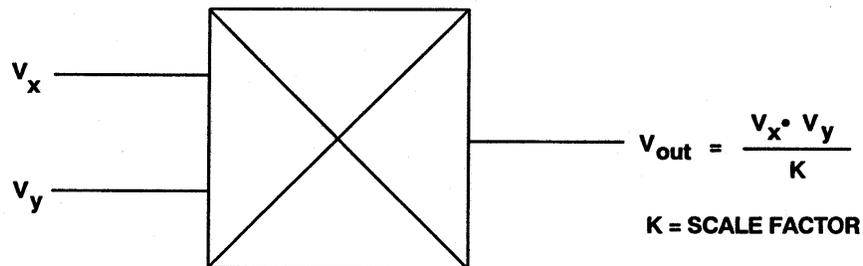
1. Charles Kitchen and Lew Counts, [RMS-to-DC Conversion Application Guide, Second Edition](#), Analog Devices, Inc., 1986.
2. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 2.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

**模拟乘法器**

**模拟乘法器基础知识**

模拟乘法器是具有两个输入端口和一个输出端口的一种器件。输出端的信号为两个输入信号之积。如果输入和输出信号均为电压，则传输特性为两个电压之积与一个比例因子K的比值，而K则拥有电压的一个维度(如图1所示)。



Type	V <sub>x</sub>	V <sub>y</sub>	V <sub>out</sub>
Single Quadrant	Unipolar	Unipolar	Unipolar
Two Quadrant	Bipolar	Unipolar	Bipolar
Four Quadrant	Bipolar	Bipolar	Bipolar

**图1：基础模拟乘法器与乘法器象限的定义**

从数学角度来看，乘法是一种“四象限”运算——换言之，两个输入可能为正，也可能为负，输出亦是如此。然而，用于生产电子乘法器的某些电路仅支持单极性信号。如果两个信号都必须是单极性的，结果形成一个“单象限”乘法器，输出同样也会是单极性的。如果其中一个信号为单极性，而其他信号可能为正或负，则乘法器就是一个“二象限”乘法器，输出可能为两个极性之一(因而为“双极性”)。用于产生一象限或二象限乘法器的电路可能比四象限乘法器所需电路要简单，由于许多应用并不需要全四象限乘法，因此，常用的是仅支持一象限或二象限的精密器件。一个示例是AD539，这是一款宽带双通道二象限乘法器，具有一个单极性V<sub>y</sub>输入，其相对受限带宽为5 MHz，还有两个双极性V<sub>x</sub>输入，每个乘法器各一个，带宽为60 MHz。图2显示的是AD539的框图。

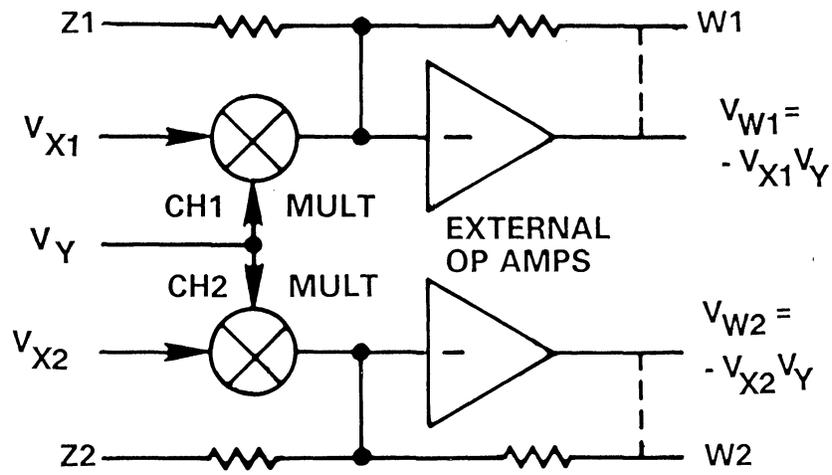


图2: AD539模拟乘法器框图

最简单的电子乘法器采用对数放大器。计算依赖于以下事实：两个数的对数之和的反对数为这两个数字之积(如图3所示)。

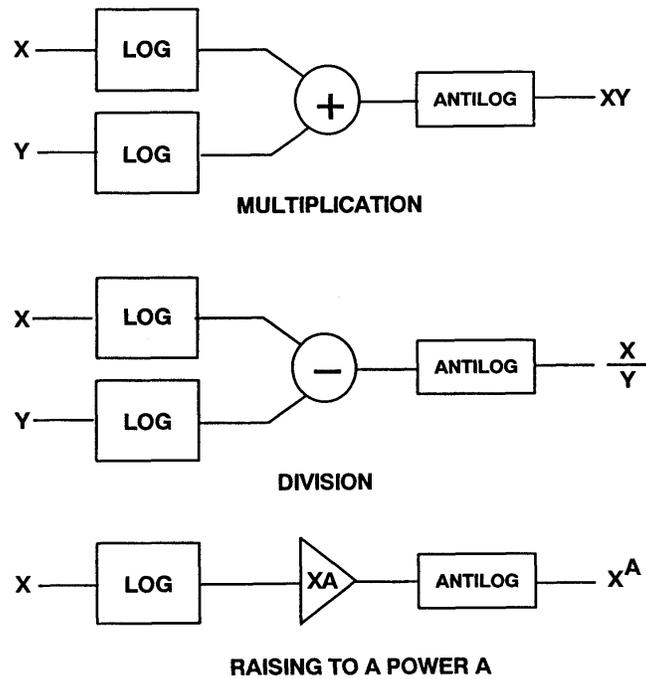


图3: 利用对数放大器实现乘法运算

这类乘法的劣势在于带宽受限且仅支持单象限运算。一种更优秀的乘法器采用的是“吉尔伯特单元”。这种结构由巴里·吉尔伯特(Barrie Gilbert)在上世纪60年代末发明。(见参考文献1和参考文献2)。

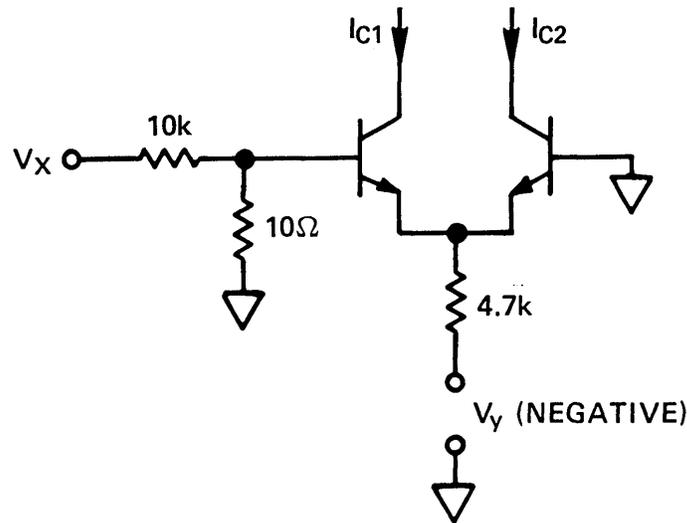
### 吉尔伯特单元乘法器

硅晶体管的集电极电流与其跨导(增益)之间存在线性关系，跨导的计算公式如下

$$dI_C / dV_{BE} = qI_C / kT, \text{ 其中} \quad \text{等式 1}$$

$I_C$  = 集电极电流;  $V_{BE}$  = 基极-发射极电压;  $q$  = 电子电荷( $1.60219 \times 10^{-19}$ );  $k$  = 玻尔兹曼常数 ( $1.38062 \times 10^{-23}$ );  $T$  = 绝对温度。

可以利用这种关系用一对长尾硅晶体管来构建乘法器，如图4所示。



$$I_{c1} - I_{c2} = \Delta I_C = \frac{q}{kT} \left( \frac{V_y + V_{be}}{4.7 \times 10^3} \right) \left( \frac{10}{10,010} \right) V_x$$

$$= 8.3 \times 10^{-6} (V_y + 0.6) V_x \text{ @ } 25^\circ\text{C}$$

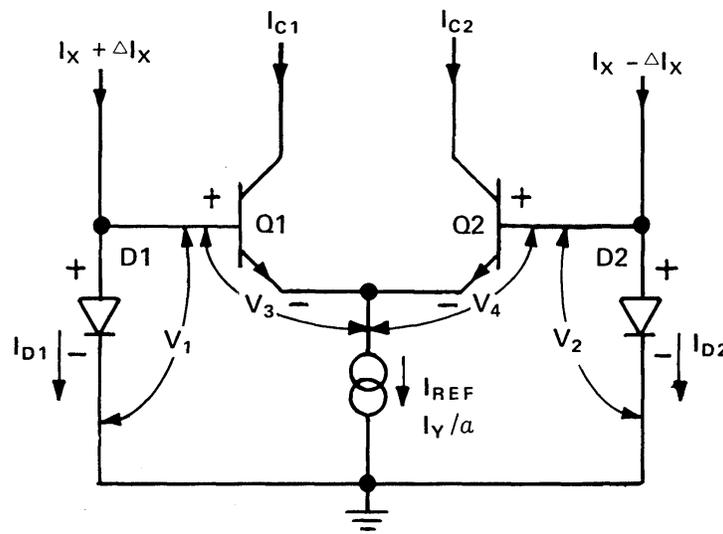
图4: 基础跨导乘法器

这是一种性能很差的乘法器，因为(1) Y输入被随 $V_y$ 非线性变化的 $V_{BE}$ 抵消；(2) 由于 $I_C$ 与 $V_{BE}$ 之间存在指数关系，因而X输入呈现非线性；(3) 比例因子随温度而变化。

吉尔伯特意识到，这种电路可以线性化并实现温度稳定性，其方式是采用电流而非电压，同时要利用晶体管的对数 $I_C/V_{BE}$ 特性，如图5所示。吉尔伯特单元的X输入表现为差分电流形式，Y输入则为单极性电流。差分X电流在两个由二极管连接的晶体管中流动，对数电压对指数 $V_{BE}/I_C$ 关系进行补偿。另外， $q/kT$ 比例因子取消。结果使吉尔伯特单元获得以下线性传递函数

$$\Delta I_C = \frac{\Delta I_X I_Y}{I_X} \quad \text{等式 2}$$

$$\Delta I_C = I_{C1} - I_{C2}$$



$$\Delta I_C = \frac{\Delta I_X I_Y}{I_X}$$

图5：基础跨导乘法器

如此，吉尔伯特单元有三个不便之处：(1) 其X输入为差分电流；(2) 其输出为差分电流；(3) 其Y输入为单极性电流——因此吉尔伯特单元只是一个二象限乘法器。

通过交叉耦合两个这样的单元并使用两个电压-电流转换器(如图6所示)，我们可以把基础架构转换成一种带电压输入的四象限器件，如AD534。在中低频率下，可以用一个减法器放大器把输出端的差分电流转换成电压。鉴于其电压输出架构，AD534的带宽仅为1 MHz左右，而后续版本AD734的带宽则为10 MHz。

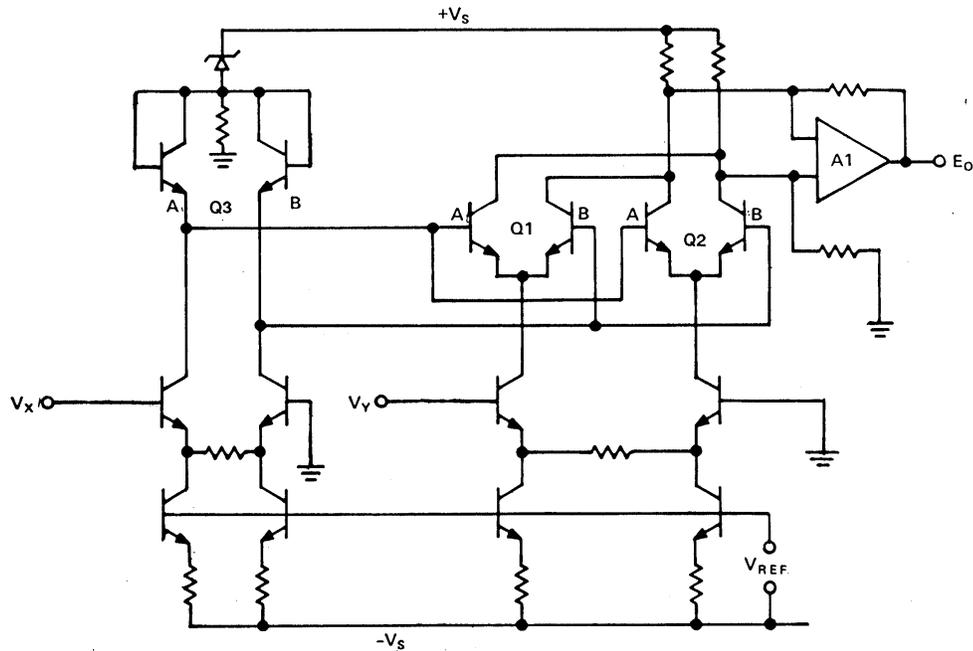


图6: [AD534](#): 一款四象限跨导线性乘法器

在图6中，Q1A和Q1B以及Q2A和Q2B形成两个吉尔伯特单元的两对核心长尾对，而Q3A和Q3B则为两个单元的线性化晶体管。还有一个运算放大器充当着差分电流-单端电压转换器，但对更高速度的应用来说，Q1和Q2的交叉耦合集电极会形成一种差分开路集电极电流输出(如[AD834](#) 500 MHz乘法器)。

跨导线性乘法器依赖于多个晶体管和电流的匹配。在单芯片中，可以轻松实现这一点。然而，即使是最好的IC工艺也存在一些残余误差，这些误差在此类乘法器中表现为四个直流误差项(参见)。X输入上的失调电压表现为来自Y输入的馈通。Y输入上的失调电压表现为来自X输入的馈通。Z输入上的失调电压会导致输出信号的偏置，而电阻失配则会导致增益误差。

在早期的吉尔伯特单元乘法器中，这些误差必须通过芯片外部的电阻和电位计调整，不太方便。利用激光调整芯片上的SiCr薄膜电阻的现代模拟工艺，可以在制造过程中调整这些误差，从而使器件最终具有极高的精度。内部调整还具有其他优势，因为它不会降低高频性能，外部微调就可能存在这种问题。

由于跨导线性乘法器的内部结构实质上具有差分性质，因此，其输入通常也具有差分性(毕竟，如果需要单端输入，使一个输入接地并不难)。这样不但便于抑制共模信号，同时也允许实现更复杂的计算。[AD534](#)(如上面的图6所示)是基于吉尔伯特单元的一种四象限乘法器的经典示例。

其在乘法器模式下的精度达0.1%，拥有全差分输入，以及一个电压输出。然而，受其电压输出架构影响，其带宽仅为1 MHz左右。

对于宽带应用，则采用开路集电极电流输出的基本乘法器。[AD834](#)是一款8引脚器件，具有差分X输入、差分Y输入、差分开路集电极输出，带宽超过500 MHz。框图如图7所示。

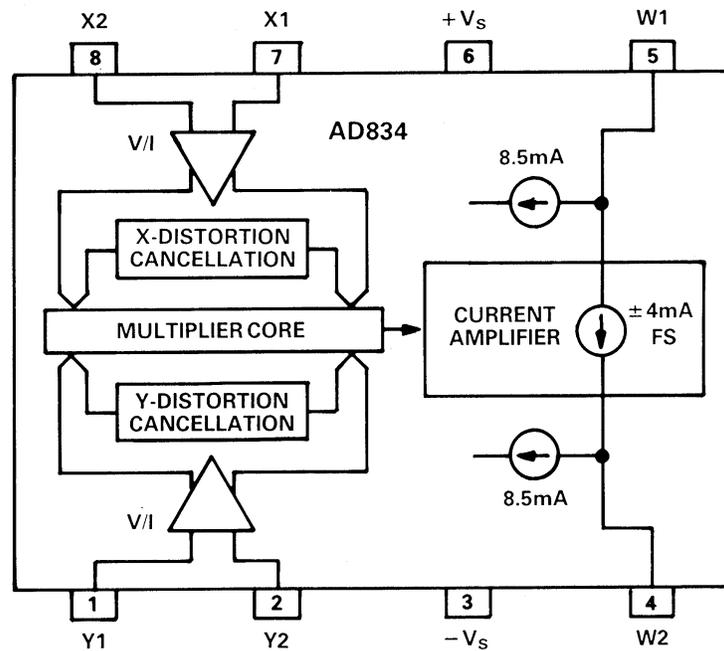


图7: [AD834](#) 500MHz四象限乘法器

AD834是真正的线性乘法器，其传递函数为

$$I_{OUT} = \frac{V_x \cdot V_y}{1V \cdot 250\Omega} \quad \text{等式 3}$$

其X和Y失调被平衡至500 μV(最大值为3 mV)，可以用于众多应用，包括乘法器(宽带和窄带)、平方器、倍频器和高频功率测量电路。在使用AD834时需要考虑的一个因素是，由于其带宽非常宽，因此，在设计输入电路时必须考虑其输入偏置电流(每个输入约为50 μA)，以防止它们在源电阻中流动时会导致意外失调电压。

采用AD834的一种基础宽带乘法器如图8所示。差分输出电流在两个相等负载电阻R1和R2中流动，结果输出差分电压。这是该器件最简单的应用电路。在只需要高频输出的情况下，可以采用变压器耦合法，简单的变压器或巴伦均可。

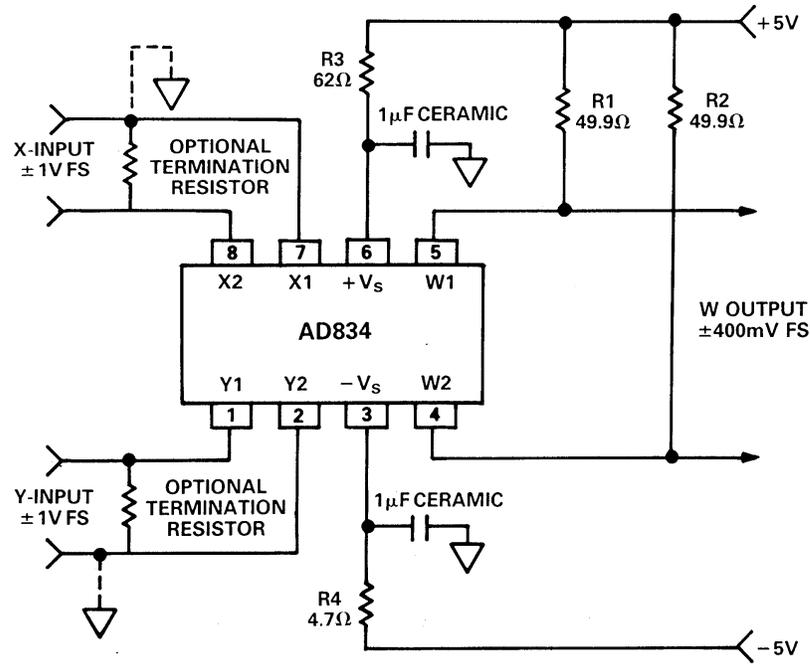
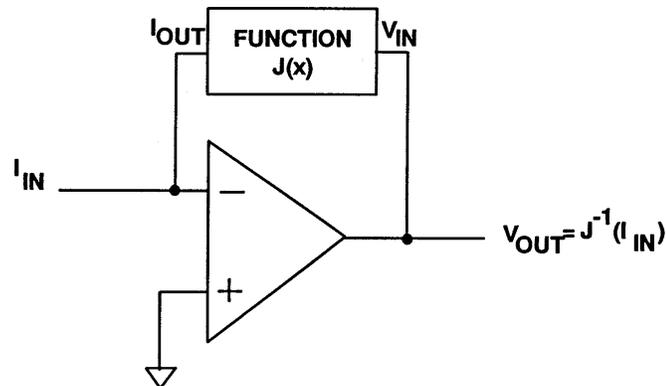


图8: AD834的基本连接

用带运算放大器的乘法器实现算术函数

乘法器可以置于运算放大器的反馈环路中，以形成多个有用的函数。图9展示了模拟计算的基本原理，其中，负反馈环路中的一个函数发生器计算反函数(当然该函数须在整個运算范围内具有单调性)。图10展示的是一个乘法器以及一个配置为同相和反相模式的除法器的运算放大器。



NOTE: FUNCTION MUST BE MONOTONIC OVER THE RELEVANT RANGE

图9: 负反馈环路中的函数发生器产生反函数

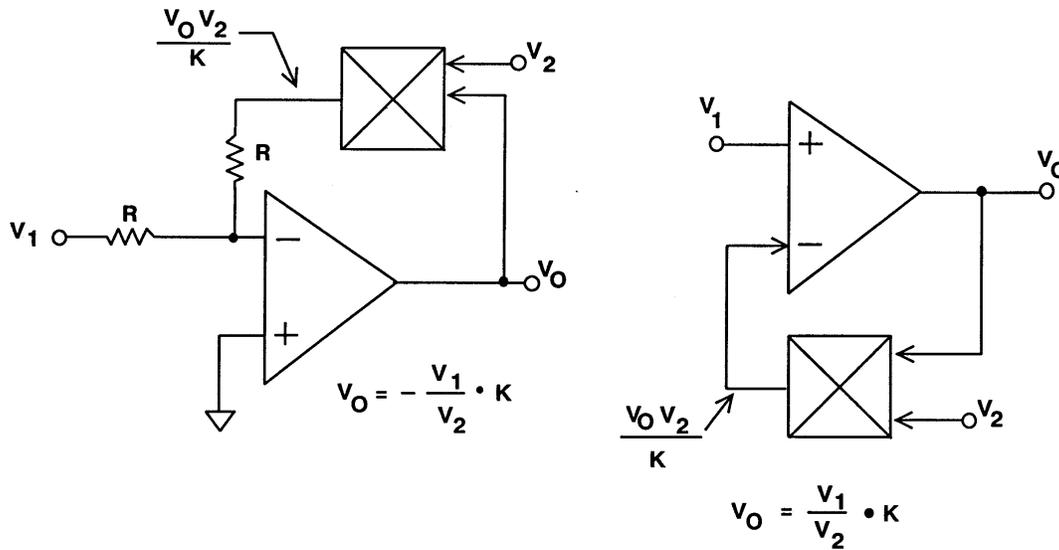


图10： 结合使用乘法器和运算放大器实现除法运算

#### 参考文献：

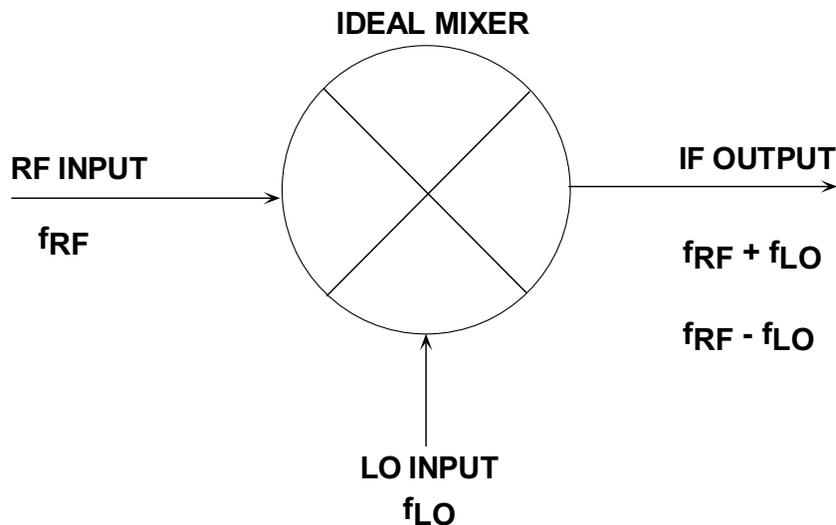
1. Barrie Gilbert, *ISSCC Digest of Technical Papers 1968*, pp. 114-115 February 16, 1968.
2. Barrie Gilbert, *Journal of Solid State Circuits*, Vol. SC-3, December 1968, pp. 353-372.
3. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 2, 4.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## 混频器和调制器

### 混频器和调制器概述

理想混频器如图1所示。RF(或IF)混频器(不要与视频和音频混频器相混淆)是一种可转换信号频率的有源或无源器件。它既可以调制信号,也可以解调信号。混频器具有三个信号连接,也就是无线电工程师所说的“端口”。这三个端口分别为射频(RF)输入端、本振(LO)输入端和中频(IF)输出端。



**图1: 混频过程**

混频器将频率为 $f_{RF}$ 的RF输入信号与频率为 $f_{LO}$ 的LO信号进行混频处理,并产生由和与差频率 $f_{RF} \pm f_{LO}$ 组成的IF输出信号。用户可以在混频器后连接带通滤波器,从而选择和频率( $f_{RF} + f_{LO}$ )或差频率( $f_{RF} - f_{LO}$ )。

对于混频器及其术语,需注意以下几点:

- 以和频率用作IF时,混频器称为“上变频器”;使用差频率时,混频器则称为“下变频器”。前者通常用于发射通道中,而后者则用于接收通道中。
- 在接收机中,当LO频率低于RF时,称为“低端注入”,此时混频器为“低端下变频器”;当LO高于RF时,称为“高端注入”,此时混频器为“高端下变频器”。

- 每个输出的幅度只有各输入的一半(功率为四分之一);因此,该理想线性混频器具有6 dB的损耗。(在实际乘法器中,转换损耗可能大于6 dB,具体取决于器件的调整比例参数。本文假设使用“数学”乘法器,即无维度特性。)

混频器有多种实现方式,并且既可以采用有源技术,也可以采用无源技术。简单回顾一下用于频率转换的各种非线性器件可能有助于了解前后关系。我们可以确定有三个电路子类,这些子类有某些相似之处。它们全都属于信号乘法器,即其产生的输出信号在某种形式上都是两个输入信号的乘积。这些电路子类就是“乘法器”、“调制器”和“混频器”。

“模拟乘法器”通常具有两个信号输入端口(分别称为X和Y),而所产生的输出W即为这两个端口上所施加电压的线性乘积。为了保持维度一致性,模拟线性乘法函数必须调用基准电压(也称为U),因此 $W=XY/U$ 。在某些情况下,U实际上是第三路输入,可用于实现模拟除法。

乘法器分为以下三种功能类别:在“单象限”乘法器中,X和Y必须是单极性信号;在“二象限”乘法器中,其中一路输入可以是双极性信号;在“四象限”乘法器中,X和Y都可以是双极性信号。ADI公司可以提供各种“线性”乘法器,包括AD534、AD538、AD539、AD633、AD734、AD834和AD835,拥有目前可实现的最高精度(AD734,精度为 $\pm 0.02\%$ )和最快速度(AD834,速度超过500 MHz)。

“调制器”(有时称为“平衡调制器”或“双平衡调制器”,甚至偶尔还称为“高电平混频器”)可视为“符号变换器”。两路输入X和Y产生一路输出W,也就是其中一路输入(如Y)乘以另一路输入(如X)的符号,即 $W = Y\text{sign}(X)$ 。因此无需基准电压。良好的调制器在信号路径中具有极高的线性度,Y的正负值具有完全相等的增益,且X的正负值也具有完全相等的增益。理想情况下,需完全切换输出符号的X输入幅度非常小,即X输入展现出与比较器相似的行为。在某些情况下,当该输入可以是逻辑信号时,则可以使用更为简化的X通道。AD831等高线性度混频器就非常适合用作调制器。

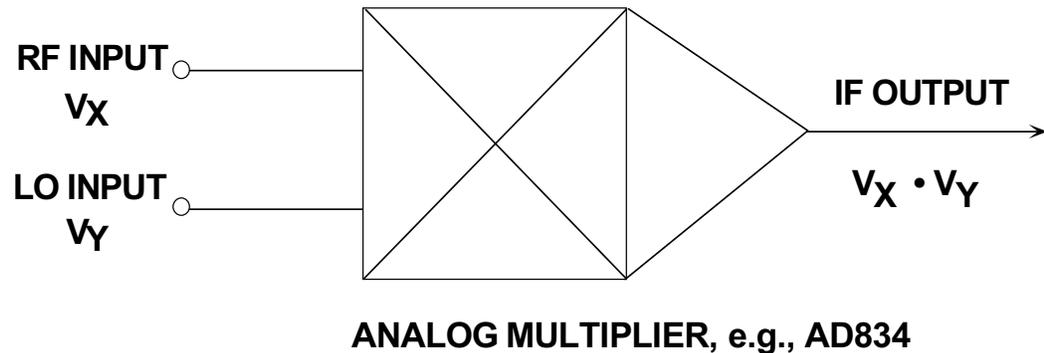
“混频器”是针对频率转换而优化的调制器。它在信号路径中的位置通常靠近天线,其信号输入端(通常称为“RF端口”)处同时存在所需信号和(通常较大的)干扰信号。因此,混频器必须拥有出色的线性度,即向RF端口施加测试信号时,达到可能的最高电平,其输出(IF端口处)都应增加相同数量的dB。该特性由1 dB增益压缩点和三阶交调截点定义。转换过程由施加于LO端口的输入驱动。

接收机的混频器要达到可接受的性能水平，噪声和匹配特性至关重要。最好使LO功率保持最低水平以尽可能减少三个端口之间的串扰，但这通常会与其它要求冲突。给定RF和LO频率下，从RF端口到IF端口的增益称为“转换增益”；在典型的二极管电桥混频器中，转换增益小于-4 dB。“有源混频器”可以提供更高的转换增益和更好的端口间隔离，但通常代价是噪声和线性度性能下降。通常不太可能(也根本无需)使用与输入和输出的瞬时值相关公式来描述混频器行为；相反，我们通常寻求以输出端的非理想交叉乘积项来表征混频器。

至此，我们已经讨论了以下几点：乘法器以线性方式响应其两个输入电压的瞬时值；调制器以线性方式响应其中一路输入，而另一路输入只是定期转换该信号的符号，转换时间几乎为零，此外理想情况下不会对信号造成任何其它影响；混频器是一种RF混合器，理想情况下RF输入具有极高线性度，并且响应LO输入的切换功能表现出“二进制”行为，但在现实中这两方面都不理想；混频器经过优化，噪声和交调失真极低。

### 使用理想模拟乘法器进行混频

图2显示假设使用模拟乘法器时大大简化的RF混频器。



**图2：使用模拟乘法器进行混频**

理想情况下，乘法器不存在噪声和最大信号幅度限制，并且多种RF信号之间也不出现交调(即无杂散非线性度)。图3所示为RF输入 $\sin\omega_{RF}t$ 与LO输入 $\sin\omega_{LO}t$ “混频”(相当于两者相乘)而得到的结果，其中 $\omega_{RF} = 2\pi \times 11\text{MHz}$ 且 $\omega_{LO} = 2\pi \times 10\text{MHz}$ 。

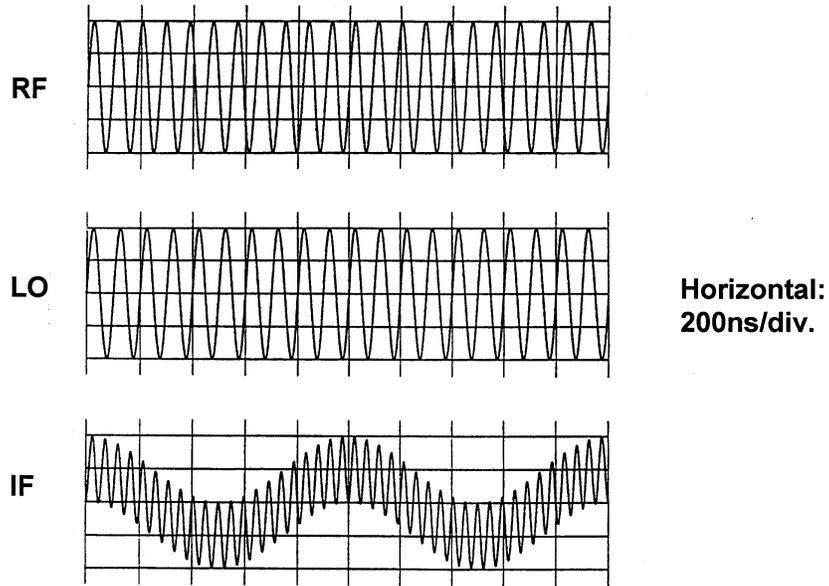


图3:  $f_{RF} = 11\text{MHz}$ 且 $f_{LO} = 10\text{MHz}$ 时乘法混频器的输入和输出

显然，要更好地理解混频器行为，不仅需要考虑时域波形(如此处所示)，而且还需要考虑IF输出的频谱。图4显示与上述IF波形对应的输出频谱。

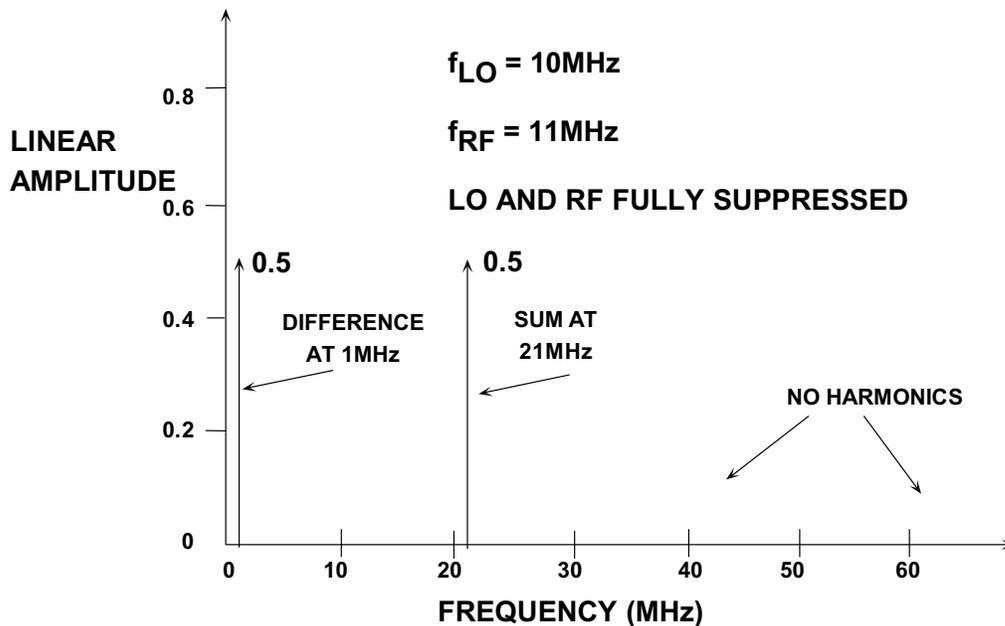


图4:  $f_{RF} = 11\text{MHz}$ 且 $f_{LO} = 10\text{MHz}$ 时乘法混频器的输出频谱

如果将调整比例问题忽略不计(实际信号均为电压；因此，实际乘法器需要采用嵌入式基准电压源，此处忽略)，则关系式为：

$$\sin\omega_{RF}t \sin\omega_{LO}t = 1/2 \{ \cos(\omega_{RF} + \omega_{LO})t + \cos(\omega_{RF} - \omega_{LO})t \} \quad \text{公式 1}$$

因此，乘法器将RF输入转换为其输出端(IF端口)处两个幅度相等的余弦分量，其中一个为和频率 $\omega_{RF} + \omega_{LO}$ ，而另一个则为差频率 $\omega_{RF} - \omega_{LO}$ 。实际应用中，以模拟乘法器作为混频器并不是一个好的选择，因为两路线性输入使得噪声显著增加。

### 镜像响应

即便使用这种数学理论上完美无缺的混频器，接收机也存在一个基本问题，即“镜像响应”。以使用低端下变频器为例，所需输出的频率为 $\omega_{IF} = \omega_{RF} - \omega_{LO}$ 。因此，我们可能认为RF频谱中能够通过混频器“滤网”并进入狭窄IF通带的唯一分量就是所需分量 $\omega_{RF}$ 。不过，我们可以轻松地将公式1写成：

$$\sin\omega_{RF}t \sin\omega_{LO}t = 1/2 \{ \cos(\omega_{RF} + \omega_{LO})t + \cos(\omega_{LO} - \omega_{RF})t \} \quad \text{公式 1a}$$

因为该余弦函数相对于 $t = 0$ 对称。因此，RF输入端的另一频谱分量也会进入IF通带，此处也就是 $\omega_{IF} = \omega_{LO} - \omega_{RF}$ 所表示的，那就是“镜像”频率。

在上述示例中，当 $f_{LO} = 10 \text{ MHz}$ 且 $f_{IF} = 1 \text{ MHz}$ 时，所需响应为IF频率，因此对于 $f_{IF} = 1 \text{ MHz}$ ，则 $f_{RF} = 11 \text{ MHz}$ 。不过，混频器还会响应“镜像”频率并产生相同的IF，因此 $f_{IMAGE} = 9 \text{ MHz}$ (参见图5)。

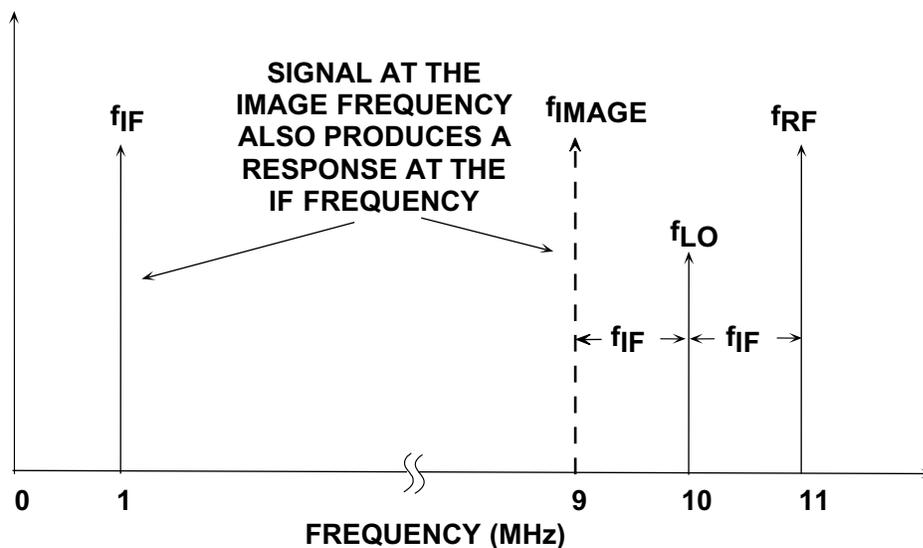


图5: 镜像响应

针对这种困境，最可行的方案是谨慎选择IF频率，将图像灵敏度的可能性降至最低，并在RF输入端的混频器之前接入一个镜像抑制滤波器。另一种方法就是使用不会响应镜像频率的特殊混频器电路。这种方法需要相当复杂的电路，因此通常并不受欢迎，但在现代IC实施方案中却变得日益可行。另外还有一个缺点是功耗较大，因为需要两个混频器单元在正交模式下工作。

### 理想混频器

理想情况下，要使混频器达到低噪声和高线性度目标，我们需要利用一些电路实现极性切换功能来响应LO输入。因此，混频器可以简化为图6所示，其中RF信号被拆分成同相( $0^\circ$ )分量和反相( $180^\circ$ )分量；一个由本振(LO)信号驱动的转换开关会交替选择同相信号和反相信号。因此，实质上理想混频器可以看成是一个符号开关。

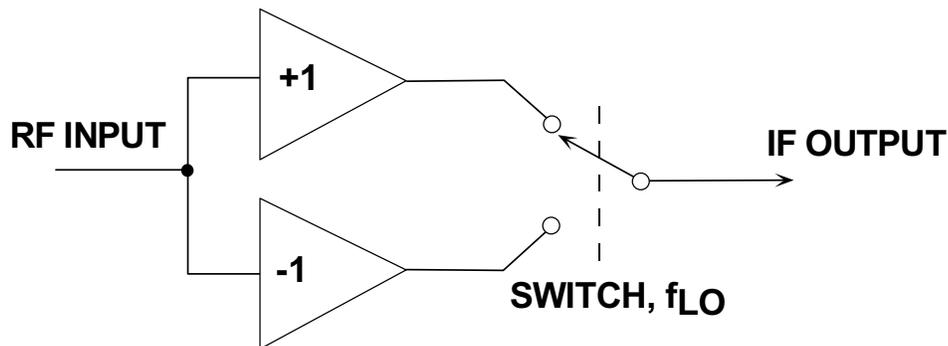


图6：理想的开关混频器

理想状态下，该混频器将不存在噪声(开关具有零阻抗)和最大信号幅度限制，并且多种RF信号之间也不会出现交调。虽然概念上很简单，但即使是针对输入频谱上的少量信号，中频(IF)输出的波形也可能非常复杂。图7显示只将11 MHz的单路输入与10 MHz的LO进行混频的结果。

此波形上仍然可以看到1 MHz差频率时存在“所需”IF，21 MHz和频率也同样很明显。但是，与使用模拟乘法器时相比，此波形的频谱明显更为复杂。我们如何分析此频谱呢？

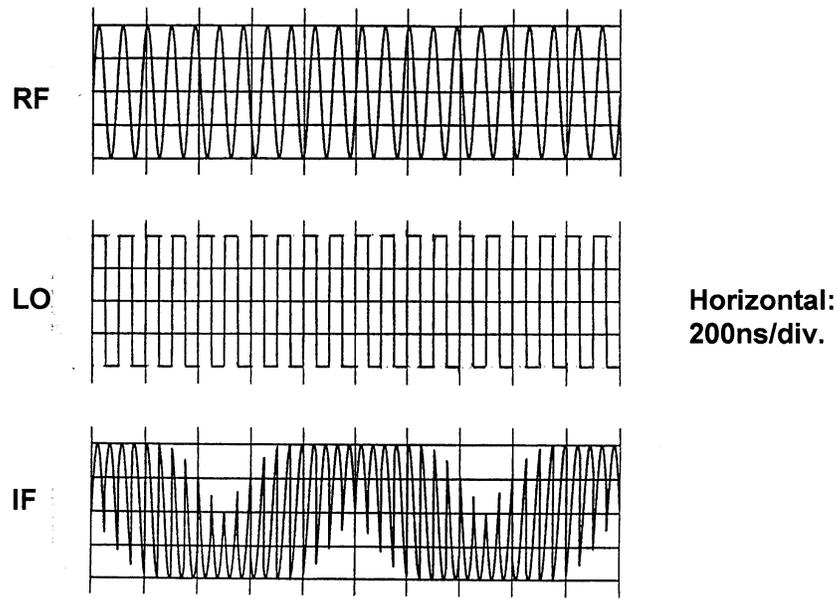


图7:  $f_{RF} = 11\text{MHz}$ 且 $f_{LO} = 10\text{MHz}$ 时理想开关混频器的输入和输出

虽然得到的仍然是乘积，但现在却是 $\omega_{RF}$ 正弦波(RF输入)乘以取值仅为+1或-1的变量(即 $\omega_{LO}$ 单位方波)。后者可以用傅里叶序列表示：

$$S_{LO} = \frac{4}{\pi} \{ \sin\omega_{LO}t - \frac{1}{3} \sin 3\omega_{LO}t + \frac{1}{5} \sin 5\omega_{LO}t - \dots \} \quad \text{公式 2}$$

因此，开关混频器的输出就是其RF输入(可简化为 $\sin\omega_{RF}t$ )乘以上述方波展开式，从而得到

$$S_{IF} = \frac{4}{\pi} \{ \sin\omega_{RF}t \sin\omega_{LO}t - \frac{1}{3} \sin\omega_{RF}t \sin 3\omega_{LO}t + \frac{1}{5} \sin\omega_{RF}t \sin 5\omega_{LO}t - \dots \} \quad \text{公式 3}$$

现在展开各个乘积即可得到

$$S_{IF} = \frac{2}{\pi} \{ \sin(\omega_{RF} + \omega_{LO})t + \sin(\omega_{RF} - \omega_{LO})t - \frac{1}{3} \sin(\omega_{RF} + 3\omega_{LO})t - \frac{1}{3} \sin(\omega_{RF} - 3\omega_{LO})t + \frac{1}{5} \sin(\omega_{RF} + 5\omega_{LO})t + \frac{1}{5} \sin(\omega_{RF} - 5\omega_{LO})t - \dots \} \quad \text{公式 4}$$

或简化为

$$S_{IF} = \frac{2}{\pi} \{ \sin(\omega_{RF} + \omega_{LO})t + \sin(\omega_{RF} - \omega_{LO})t + \text{harmonics} \} \quad \text{公式 5}$$

图8概略显示在产生图7所示波形的特定情况(即 $f_{RF} = 11\text{MHz}$ 且 $f_{LO} = 10\text{MHz}$ )下最重要的这些谐波分量。

由于有 $2/\pi$ 项，因此无任何增益时，混频器至少存在3.92 dB的插入损耗(和噪声系数)。

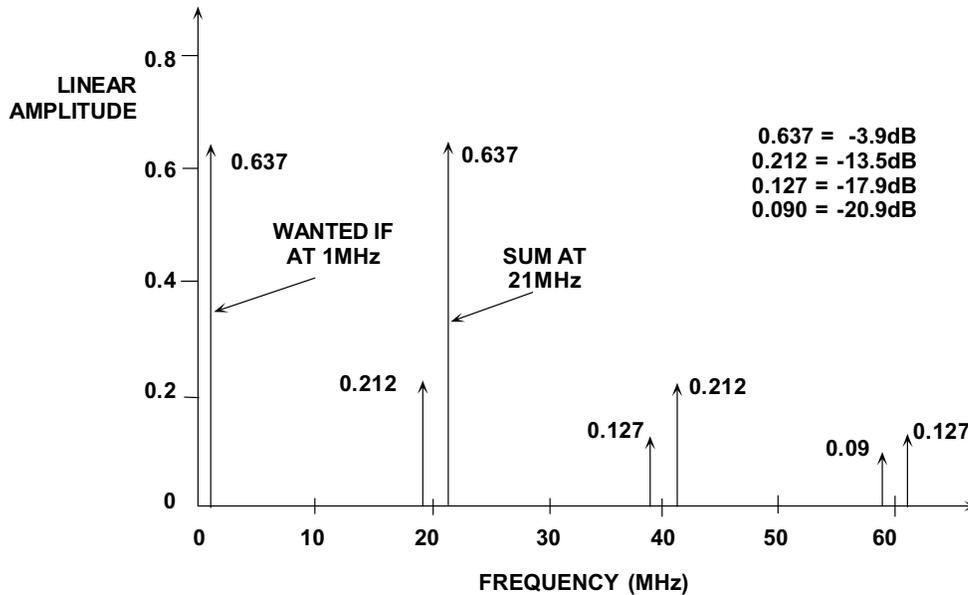


图8:  $f_{RF} = 11\text{MHz}$ 且 $f_{LO} = 10\text{MHz}$ 时开关混频器的输出频谱

注意，理想(开关)混频器同样具有与线性乘法混频器完全相同的 $\omega_{LO} - \omega_{RF}$ 镜像响应问题。镜像响应在某种程度上比较细微，并不会立即出现在输出频谱中：它属于潜在响应，直到输入频谱中出现“错误”频率。

## 二极管环形混频器

多年来，针对高性能应用的最常用混频器拓扑结构一直都是二极管环形混频器，其中一种形式如图9所示。二极管可以是硅结型、硅肖特基势垒型或砷化镓型，用于提供必要的开关操作。我们不需要非常详细地分析该电路，但顺便提一下，LO需要具有相当高的驱动能力——通常差不多1瓦，才能确保二极管导通能力非常强，足以实现低噪声性能，并允许转换大信号而又不会出现过大的杂散非线性度。

由于二极管的高度非线性特性，三个端口的阻抗很难以控制，从而使得匹配变得非常困难。此外，三个端口之间存在相当大的耦合；再加上LO端口处所需的高功率，使得(高度失真的)LO信号的某些分量很可能会向后耦合至天线。最后，像这样的无源混频器显然无法提供转换增益；在理想情况下，转换损耗为 $2/\pi$ (如公式4所示)，即3.92 dB。由于二极管的电阻和变压器的损耗，实际混频器损耗更高。

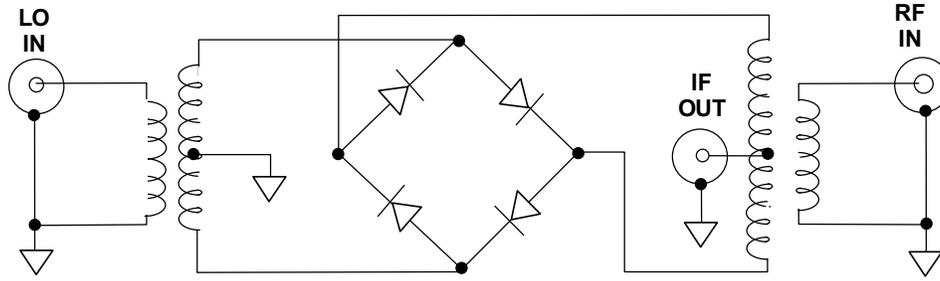


图9：二极管环形混频器

此类混频器的用户习惯于通过“电平”评定判断信号处理能力。因此，17级混频器需要+17 dBm (50 mW)的LO驱动，并可处理高达+10 dBm ( $\pm 1$  V)的RF输入。Mini-Circuits LRMS-1H就是这种类别的一款典型混频器，其频率范围为2-500 MHz，标称插入损耗为6.25 dB(最大8.5 dB)，最差LO-RF隔离为20 dB，最差LO-IF隔离为22 dB(这些数据均针对250-500 MHz范围内的LO频率)。少量购买时，该元件的报价约为\$10.00/片。即便是价格最贵的二极管环形混频器，也都具有类似的驱动功率要求、高损耗和来自LO端口的高耦合特性。

### 典型的有源混频器

二极管环形混频器不仅具有一定的性能限制，而且还不能使用集成电路技术来制造，至少不能以图9所示形式。上世纪60年代中期，人们意识到，四个二极管可以用四个电阻代替，基本上同样可以执行相同的切换功能。这就构成了现在典型双极性电路的基础，如图10所示。图中显示的是完全平衡版本的最小配置。此类混频器已经生产超过百万件，包括CMOS和GaAs版本。本文将仅讨论BJT形式，AD831就是其中一例。

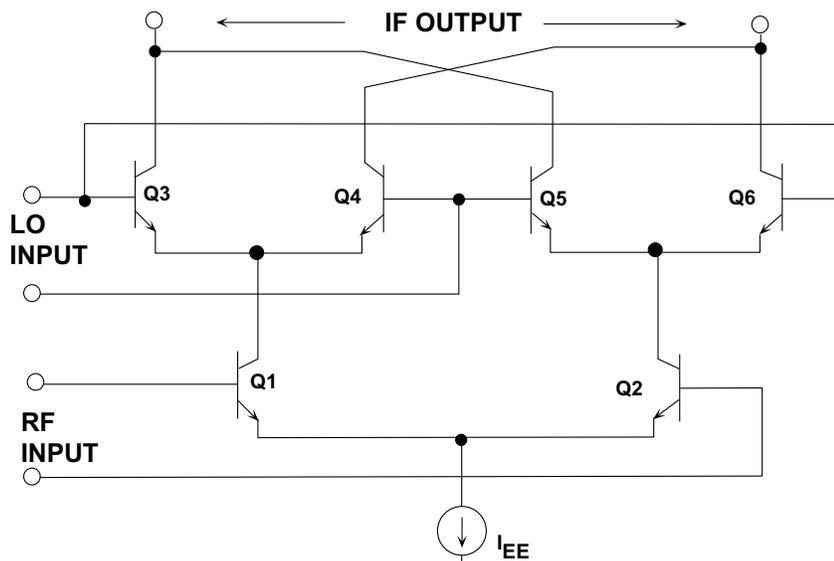


图10：典型的有源混频器

“有源混频器”受人欢迎的原因如下：

- 可与其它信号处理电路整体集成。
- 可提供转换增益，而二极管环形混频器始终存在插入损耗。（注意：有源混频器可能具有增益。例如，ADI公司的有源混频器AD831就可以将公式5中的结果放大 $\pi/2$ 倍，从而提供从RF到IF的单位增益。）
- 驱动LO端口所需的功率少很多。
- 具有出色的信号端口间隔离性能。
- 负载匹配影响更小，且无需双工器和宽带终端。

通过采用合适的设计技术，该器件一方面可以权衡考量三阶交调截点(IP3)和1 dB增益压缩点( $P_{1dB}$ )性能，另一方面还能兼顾总功耗特性。（即包括LO功率，而在无源混频器中该功率“隐藏”在驱动电路中。）

### 有源混频器的基本工作原理

二极管环形混频器在电压域中执行极性反转切换功能，而有源混频器则不同，它在电流域执行切换功能。因此，有源混频器内核(图10中的晶体管Q3-Q6)必须由电流模式信号驱动。由Q1和Q2构成的电压电流转换器在其基极端接收电压模式RF信号，并在其集电极处转换为差分电流对。

因此，有源混频器和二极管环形混频器的第二个区别是有源混频器仅响应输入电压的幅度，而不响应输入功率；也就是说，有源混频器与输入源不匹配。（匹配概念是指构成某端口的电路能够使用该端口处的电流和电压。）通过更改偏置电流IEE，可以在很宽的范围内设置输入对Q1-Q2的跨导。借助这项能力，有源混频器可以提供可变增益。

第三个区别是有源混频器的输出(在集电极Q3-Q6处)为电流形式，并且可重新转换为电压，在某些其它阻抗水平还可转换为输入端所用的电压，因而可提供更多增益。通过合并输出电流(通常使用变压器)，可以使此电压增益增加一倍。最后，由于端口之间存在反偏结，因此各端口之间的隔离，尤其是从LO端口至RF端口，本身明显要低于二极管环形混频器。

不过，简而言之，工作原理如下所述。当Q1和Q2的基极之间不存在任何电压差时，这两个晶体管的集电极电流基本相等。因此，在LO输入端施加电压不会导致输出电流发生变化。如果RF输入端存在较小的直流失调电压(通常是由于Q1和Q2的发射极区域不匹配造成的)，这只会造成少量LO信号馈入IF输出，而第一个IF滤波器会将该馈通拦截下来。

相反，如果向RF端口施加RF信号，但不向LO输入端施加电压差，那么输出电流将再次取得平衡。小失调电压(现在是由于Q3-Q6的发射极区域不匹配造成的)可能导致部分RF信号馈入IF输出；就和前面一样，IF滤波器会抑制该馈通。只有同时向RF和LO端口施加信号时，输出端才会出现信号；因此，称为双平衡混频器。

有源混频器可通过另一种方式提供增益：即利用匹配网络将50 Ω源阻抗转换为混频器的高输入阻抗(通常情况下来提供阻抗转换，进而借助阻抗升压来提供电压增益。因此，即便有源混频器在输入端端接50 Ω宽带电阻时存在损耗，但在使用输入匹配网络时也可以具有“增益”。

### AD8345正交调制器

“调制器”(有时称为“平衡调制器”或“双平衡调制器”，甚至偶尔还称为“高电平混频器”)可视作“符号变换器”。两路输入X和Y产生一路输出W，也就是其中一路输入(如Y)乘以另一路输入(如X)的符号，即 $W = Y * \text{sign}(X)$ 。因此无需基准电压。良好的调制器在信号路径中具有极高的线性度，Y的正负值具有完全相等的增益，且X的正负值也具有完全相等的增益。理想情况下，需完全切换输出符号的X输入幅度非常小，即X输入展现出与比较器相似的行为。在某些情况下，当该输入可以是逻辑信号时，则可以使用更为简化的X通道。

例如，AD8345是一款硅RFIC正交调制器，设计用于250 MHz至1000 MHz频率范围(参见图11)，其出色的相位精度和幅度平衡可以提供高性能的IF载波直接调制。

AD8345可以通过多相分相器网络，将外部LO信号精确地分成两个正交分量。接着，两个LO分量I和Q与基带I和Q差分输入信号进行混频。最后，两个混频器的输出在输出级合并，从而在VOUT提供单端50 Ω驱动能力。

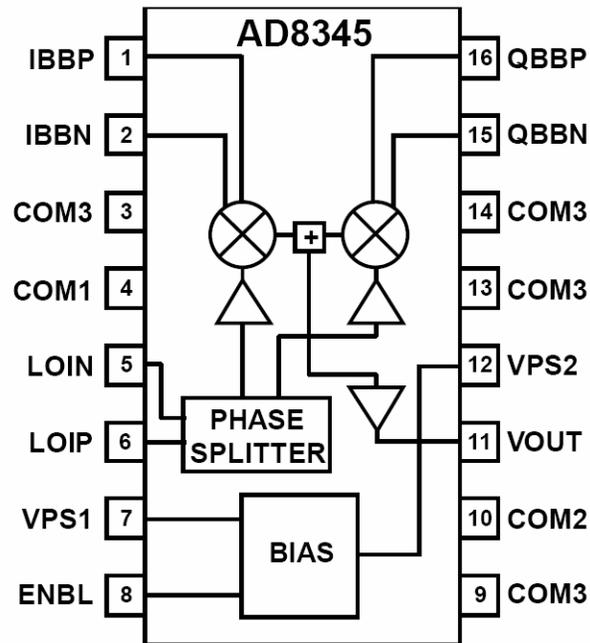


图11: 正交调制器AD8345框图

#### 参考文献:

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 2, 4.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## 直接数字频率合成(DDS)基本原理

### DDS架构基本原理

随着数字技术在仪器仪表和通信系统中的广泛使用，可从参考频率源产生多个频率的数字控制方法诞生了，即直接数字频率合成(DDS)。其基本架构如图1所示。该简化模型采用一个稳定时钟来驱动存储正弦波(或其它任意波形)一个或多个整数周期的可编程只读存储器(PROM)。随着地址计数器逐步执行每个存储器位置，每个位置相应的信号数字幅度会驱动DAC，进而产生模拟输出信号。最终模拟输出信号的频谱纯度主要取决于DAC。相位噪声主要来自参考时钟。

DDS是一种采样数据系统，因此必须考虑所有与采样相关的问题，包括量化噪声、混叠、滤波等。例如，DAC输出频率的高阶谐波会折回奈奎斯特带宽，因而不可滤波，而基于PLL的合成器的高阶谐波则可以滤波。此外，还有其它几种因素需要考虑，稍后将会讨论。

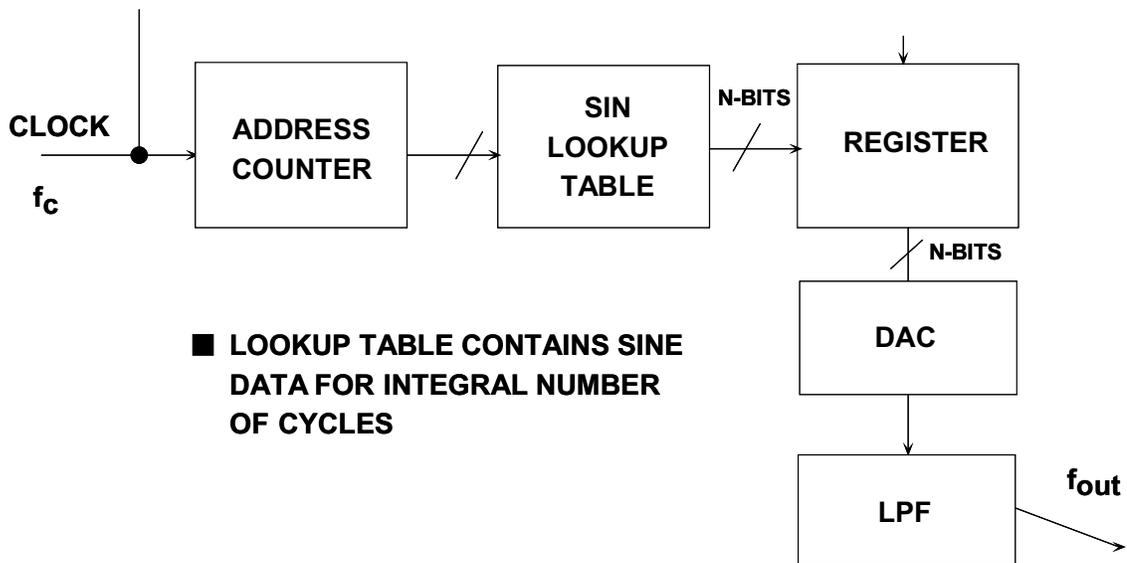
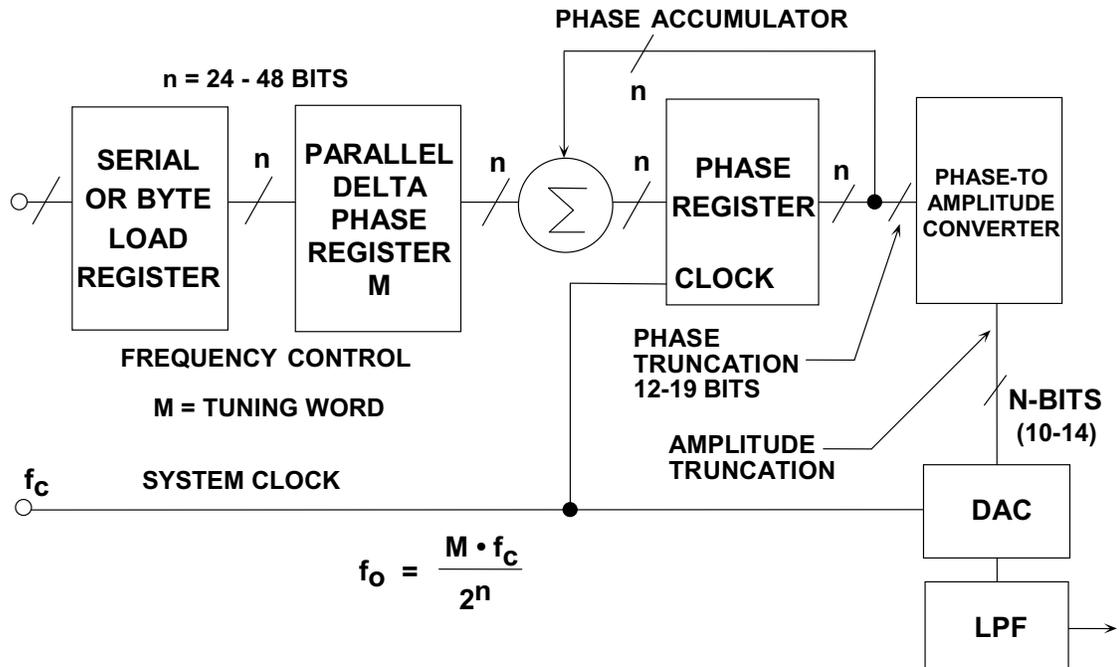


图1: 直接数字频率合成系统的基本原理

这种简单DDS系统的基本问题在于，最终输出频率只能通过改变参考时钟频率或对PROM重新编程来实现，非常不灵活。实际DDS系统采用更加灵活有效的方式来实现这一功能，即采用名为数控振荡器(NCO)的数字硬件。图2所示为该系统的框图。



**图2: 灵活的DDS系统**

系统的核心是相位累加器，其内容会在每个时钟周期更新。相位累加器每次更新时，存储在 $\Delta$ 相位寄存器中的数字字M就会累加至相位寄存器中的数字。假设 $\Delta$ 相位寄存器中的数字为00...01，相位累加器中的初始内容为00...00。相位累加器每个时钟周期都会按00...01更新。如果累加器为32位宽，则在相位累加器返回至00...00前需要232(超过40亿)个时钟周期，周期会不断重复。

相位累加器的截断输出用作正弦(或余弦)查找表的地址。查找表中的每个地址均对应正弦波的从0°到360°的一个相位点。查找表包括一个完整正弦波周期的相应数字幅度信息。(实际上，只需要90°的数据，因为两个MSB中包含了正交数据)。因此，查找表可将相位累加器的相位信息映射至数字幅度字，进而驱动DAC。图3用图形化的“相位轮”显示了这一情况。

考虑 $n = 32$ ,  $M = 1$ 的情况。相位累加器会逐步执行 $2^{32}$ 个可能的输出中的每一个，直至溢出并重新开始。相应的输出正弦波频率等于输入时钟频率 $2^{32}$ 分频。若 $M=2$ ，相位累加器寄存器就会以两倍的速度“滚动”计算，输出频率也会增加一倍。以上内容可总结如下：

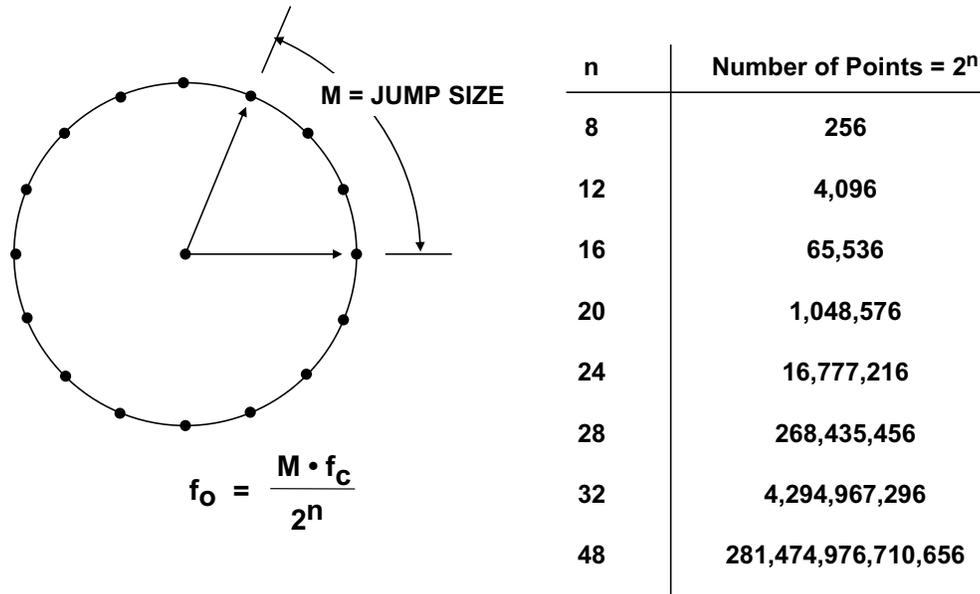
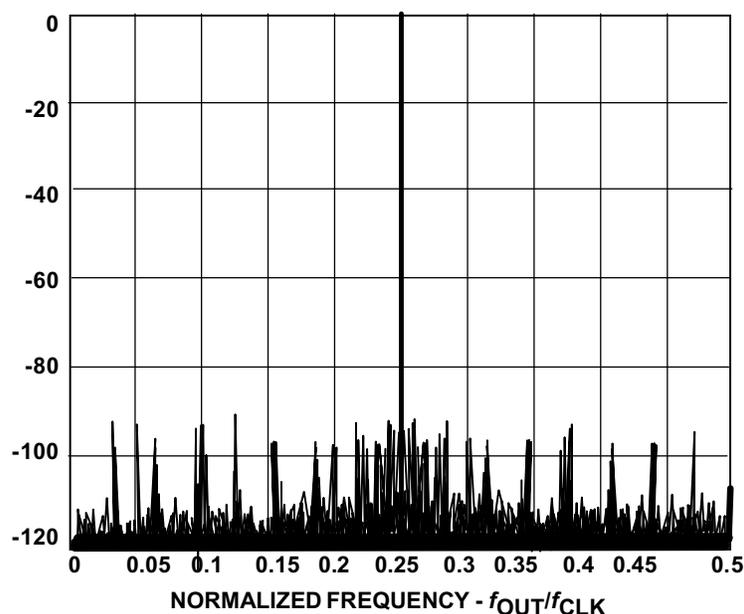


图3: 数字相位轮

$n$ 位相位累加器(大多数DDS系统中,  $n$ 的范围通常为24至32)存在 $2^n$ 个可能的相位点。 $\Delta$ 相位寄存器中的数字字 $M$ 代表相位累加器每个时钟周期增加的数量。如果时钟频率为 $f_c$ , 则输出正弦波频率计算公式为:

$$f_o = \frac{M \cdot f_c}{2^n} \tag{公式 1}$$

该公式称为DDS“调谐公式”。注意, 系统的频率分辨率等于 $f_c/2^n$ 。 $n = 32$ 时, 分辨率超过40亿分之一! 在实际DDS系统中, 溢出相位寄存器的位不会进入查找表, 而是会被截断, 只留下前13至15个MSB。这样可以减小查找表的大小, 而且不会影响频率分辨率。相位截断只会给最终输出增加少量可接受的相位噪声。(参见图4)。



**图4：计算得出的输出频谱显示15位相位截断时  
90 dB SFDR**

DAC的分辨率通常比查找表的宽度少2至4位。即便是完美的N位DAC，也会增加输出的量化噪声。图4显示的是32位相位累加器15位相位截断时计算得出的输出频谱。选择M值后，输出频率会从0.25倍时钟频率开始稍有偏移。注意，相位截断和有限DAC分辨率产生的杂散都至少比满量程输出低90 dB。这一性能远远超出了任何商用12位DAC，足以满足大多数应用的需求。

上述基本DDS系统极为灵活，且具有高分辨率。只需改变M寄存器的内容，频率就可以立即改变，不会出现相位不连续。但是，实际DDS系统首先需要执行串行或字节加载序列，以将新的频率字载入内部缓冲寄存器，然后再载入M寄存器。这样就可以尽可能减少封装引脚数。新的频率字载入缓冲寄存器后，并行输出 $\Delta$ 相位寄存器就会同步操作，从而同时改变所有位。加载 $\Delta$ 相位缓冲寄存器所需的时钟周期数决定了输出频率的最大改变速率。

### DDS系统中的混叠

简单DDS系统中可能会产生一种重要的输出频率范围限制。奈奎斯特准则表明，时钟频率(采样速率)必须至少为输出频率的两倍。实际最高输出频率限制在约1/3时钟频率范围内。图5所示为DDS系统中的DAC输出，其中输出频率为30 MHz，时钟频率为100 MHz。如图所示，重构DAC后必须跟随一个抗混叠滤波器，以消除较低的图像频率( $100 - 30 = 70$  MHz)。

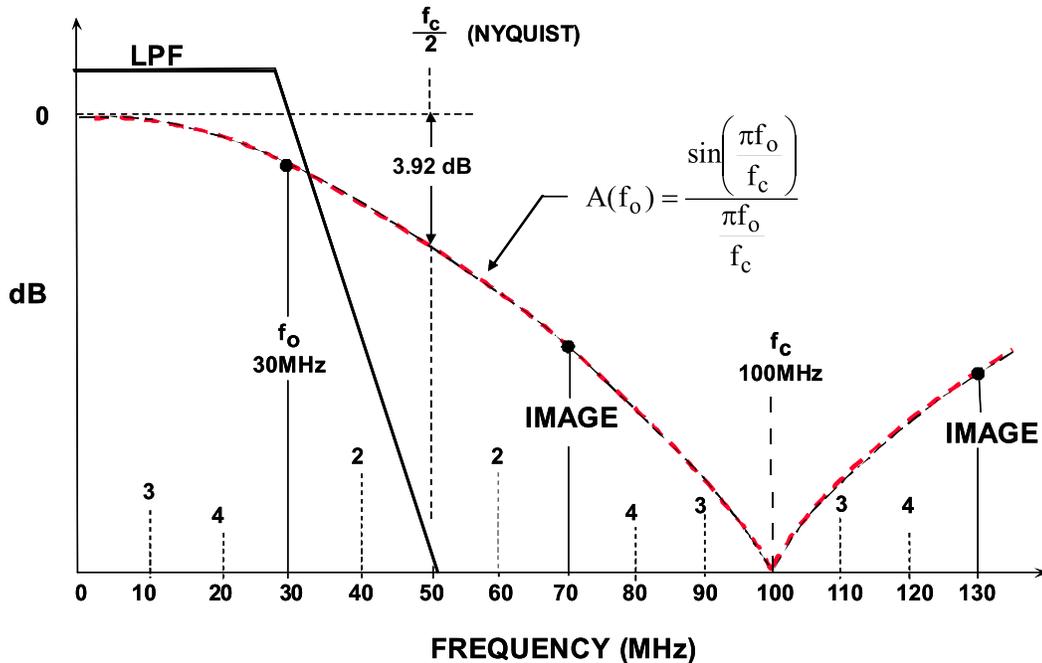


图5: DDS系统中的混叠

注意，DAC输出(滤波前)的幅度响应跟随着一个 $\sin(x)/x$ 响应，在时钟频率及其整数倍时，该值为零。归一化输出幅度 $A(f_o)$ 的精确计算公式如下：

$$A(f_o) = \frac{\sin\left(\frac{\pi f_o}{f_c}\right)}{\frac{\pi f_o}{f_c}} \quad \text{公式 2}$$

其中， $f_o$ 为输出频率， $f_c$ 为时钟频率。

出现该滚降的原因是由于DAC输出并非一系列零宽脉冲(和最佳重新采样器中一样)，而是一系列矩形脉冲，宽度等于更新速率的倒数。 $\sin(x)/x$ 响应的幅度比奈奎斯特频率低3.92 dB(DAC更新速率的1/2)。实际上，抗混叠滤波器的传递函数可用来补偿 $\sin(x)/x$ 滚降，使整体频率响应相对平坦，达到最大输出DAC频率(一般为1/3更新速率)。

另一个重要的考虑因素在于，和基于PLL的系统不同，DDS系统中的基本输出频率高阶谐波会因混叠而折回至基带。这些谐波无法通过抗混叠滤波器去除。例如，如果时钟频率为100 MHz，输出频率为30 MHz，则30 MHz的第二个谐波会出现在60 MHz(带外)，但也会出现在 $100 - 60 = 40$  MHz(混叠成分)。同样，第三个谐波(90 MHz)会出现在带内，频率为 $100 - 90 = 10$  MHz，第四个谐波出现在 $120 - 100$  MHz = 20 MHz。高阶谐波也会落在奈奎斯特带宽内(直流至 $f_c/2$ )。前4个谐波的位置如图所示。

## 用作ADC时钟驱动器的DDS系统

DDS系统(如AD9850)可以提供产生ADC采样时钟的出色方法,尤其适合ADC采样频率必须受到软件控制,且锁定至系统时钟的情况(参见图6)。DAC输出电流 $I_{OUT}$ 驱动 $200\ \Omega$ 、 $42\ \text{MHz}$ 的低通滤波器,源和负载阻抗端接,等效负载为 $100\ \Omega$ 。滤波器可以消除 $42\ \text{MHz}$ 以上的杂散频率成分。经过滤波的输出可以驱动AD9850内部比较器的一个输入端。DAC补偿输出电流可以驱动 $100\ \Omega$ 的负载。位于两个输出之间的 $100\ \text{k}\Omega$ 电阻分压器输出经过去耦,可以产生参考电压以供内部比较器使用。

比较器输出有 $2\ \text{ns}$ 的上升和下降时间,可以产生与TTL/CMOS逻辑电平兼容方波。比较器输出边缘的抖动小于 $20\ \text{ps rms}$ 。输出和补偿输出均可按要求提供。

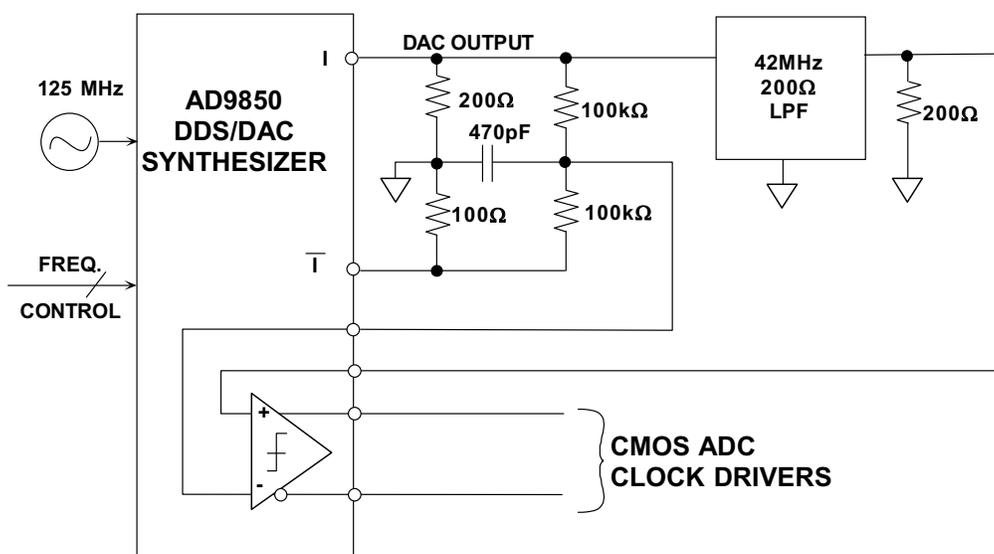


图6: 将DDS系统用作ADC时钟驱动器

在图6所示的电路中,  $40\ \text{MSPS}$  ADC时钟的总输出均方根抖动为 $50\ \text{ps rms}$ , 由此产生的信噪比下降在宽动态范围应用中必须加以考虑。

## DDS系统中的幅度调制

DDS系统中的幅度调制可以通过在查找表和DAC输入之间放置数字乘法器来实现,如图7所示。调制DAC输出幅度的另一种方法是改变DAC的参考电压。在AD9850中,内部参考控制放大器的带宽约为 $1\ \text{MHz}$ 。这种方法在输出幅度变化相对较小的情况下非常有效,只要输出信号不超过 $+1\ \text{V}$ 的规格即可。

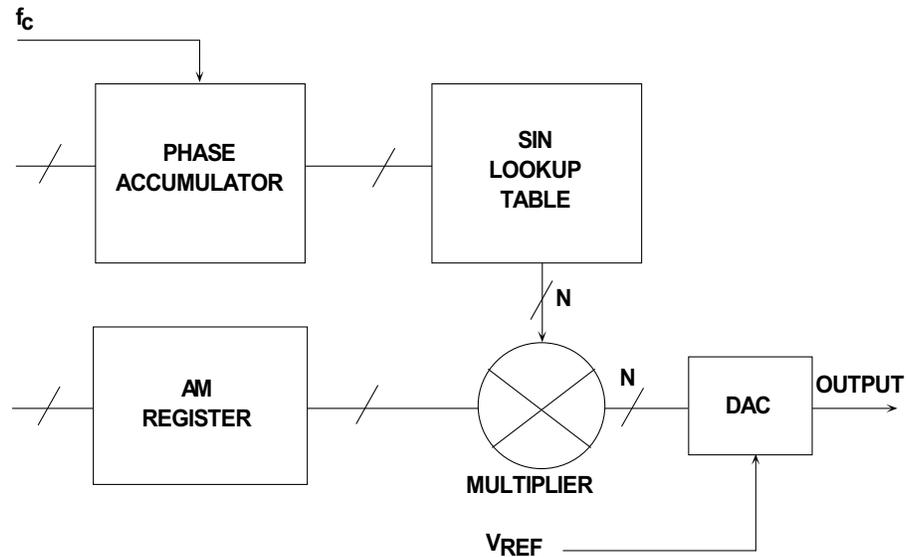


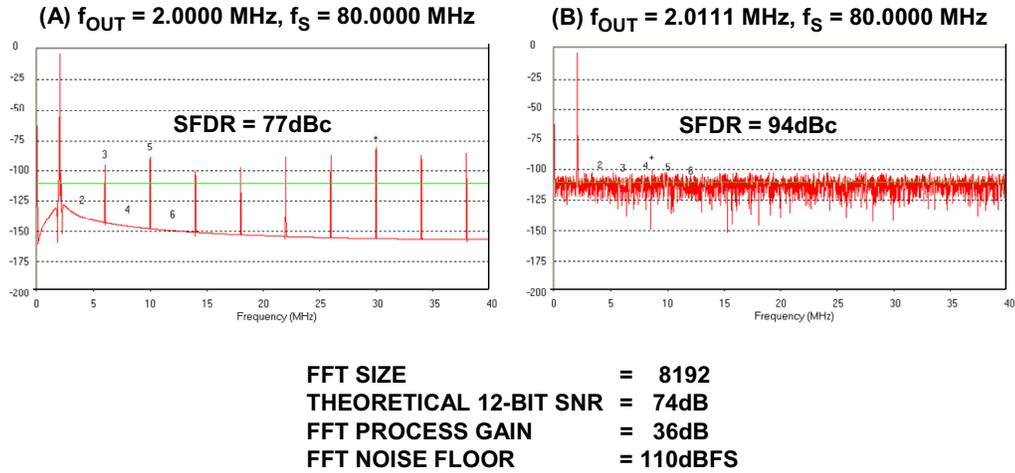
图7: DDS系统中的幅度调制

### DDS系统中的无杂散动态范围考虑

在大多数DDS应用中，首要考虑因素是DAC输出的频谱纯度。遗憾的是，该性能的量、预测和分析十分复杂，涉及大量相互作用的因素。

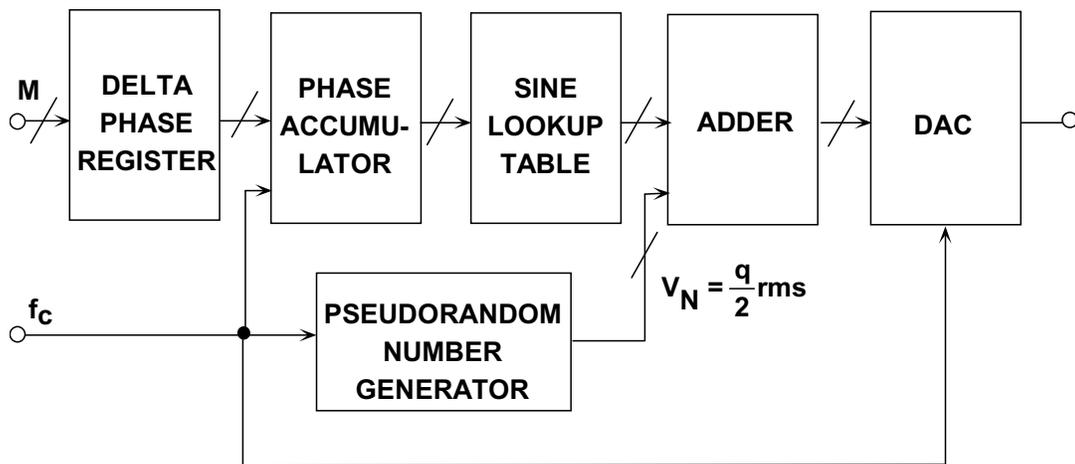
即便是理想的N位DAC，也会在DDS系统中产生谐波。这些谐波的幅度主要取决于输出频率与时钟频率的比值。原因在于，DAC量化噪声的频谱成分会随着该比值的变化而变化，虽然其理论均方根值仍等于 $q/\sqrt{12}$ （其中q是LSB的权重）。“量化噪声表现为白噪声，在奈奎斯特带宽内均匀分布”这条假设在DDS系统中并不适用（这条假设在ADC系统中更为适用，因为ADC会给信号增加一定的噪声，从而“扰动”量化误差或使其随机化。但是，依然存在一定的相关性）。例如，如果DAC输出频率精确设置为时钟频率的约数，则量化噪声会集中在输出频率的倍数，也就是说，主要取决于信号。如果输出频率稍有失调，量化噪声会变得更加随机，从而改进有效SFDR。

图8说明了上述情况，其中4096 (4k)点FFT基于理想12位DAC中数字化生成的数据计算得出。左侧图表(A)中，所选的时钟频率和输出频率的比值恰好等于40，获得的SFDR约为77 dBc。右侧图表中，比例稍有失调，有效SFDR增至94 dBc。在这一理想情况下，只是略微改变了频率比，SFDR就改变了17 dB。



**图8：采用4096点FFT时，时钟与输出频率比值对理论12位DAC SFDR的影响**

因此，通过仔细选择时钟与输出频率，就可以获得最佳SFDR。但是，在有些应用中，这点可能难以实现。在基于ADC的系统中，增加少量的随机噪声至输入就可能使量化误差随机化，并且减少这种效应。DDS系统中也可以实现同样的效果，如图9所示(参见参考文献8、9、10)。伪随机数字噪声发生器输出先增加至DDS正弦幅度字，然后再载入DAC。数字噪声的幅度设置为1/2 LSB左右。这样就能实现随机化过程，代价是整体输出本底噪声会略微增加。但是，在大多数DDS系统中，有足够的灵活性可以选择不同的频率比，因此不需要扰动。



**图9：向DDS系统注入数字扰动以使量化噪声随机化并提高SFDR**

ADI公司的在线设计工具 [ADIsimDDS](#) 是一种互动工具，可以帮助用户选择及评估DDS IC。它允许用户选择器件，输入要求的工作条件，以及评估器件的一般性能。该工具利用数学公式估算选定器件的整体性能，并不计算所有可能的误差。因此，这款工具只能用来辅助设计，而不能代替实际的硬件测试和评估。

### 参考文献：

1. Ask The Application Engineer—33: All About Direct Digital Synthesis ([Analog Dialogue, Vol. 38](#), August 2004).
2. "Single-Chip Direct Digital Synthesis vs. the Analog PLL," ([Analog Dialogue, Vol. 30, No. 3](#), 1996).
3. [DDS Design](#), By David Brandon, *EDN*, May 13, 2004.
4. [A Technical Tutorial on Digital Signal Synthesis](#), 1999, Analog Devices, Inc.
5. [Direct Digital Synthesis Frequently Asked Questions](#), Analog Devices, Inc.
6. David Buchanan, "Choosing DACs for Direct Digital Synthesis," [Application Note AN-237](#), Analog Devices, Inc.
7. David Brandon, "Direct Digital Synthesizers in Clocking Applications," [Application Note AN-823](#), Analog Devices, 2006.
8. Richard J. Kerr and Lindsay A. Weaver, "Pseudorandom Dither for Frequency Synthesis Noise," *U.S. Patent 4,901,265*, filed December 14, 1987, issued February 13, 1990.
9. Henry T. Nicholas, III and Henry Samuelli, "An Analysis of the Output Spectrum of Direct Digital Frequency Synthesizers in the Presence of Phase-Accumulator Truncation," *IEEE 41st Annual Frequency Control Symposium Digest of Papers*, 1987, pp. 495-502, IEEE Publication No. CH2427-3/87/0000-495.
10. Henry T. Nicholas, III and Henry Samuelli, "The Optimization of Direct Digital Frequency Synthesizer Performance in the Presence of Finite Word Length Effects," *IEEE 42nd Annual Frequency Control Symposium Digest of Papers*, 1988, pp. 357-363, IEEE Publication No. CH2588-2/88/0000-357.
11. [ADIsimDDS design tool](#) from Analog Devices.
12. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 4.
13. Walt Kester, *Analog-Digital Conversion*, Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 6. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 6.

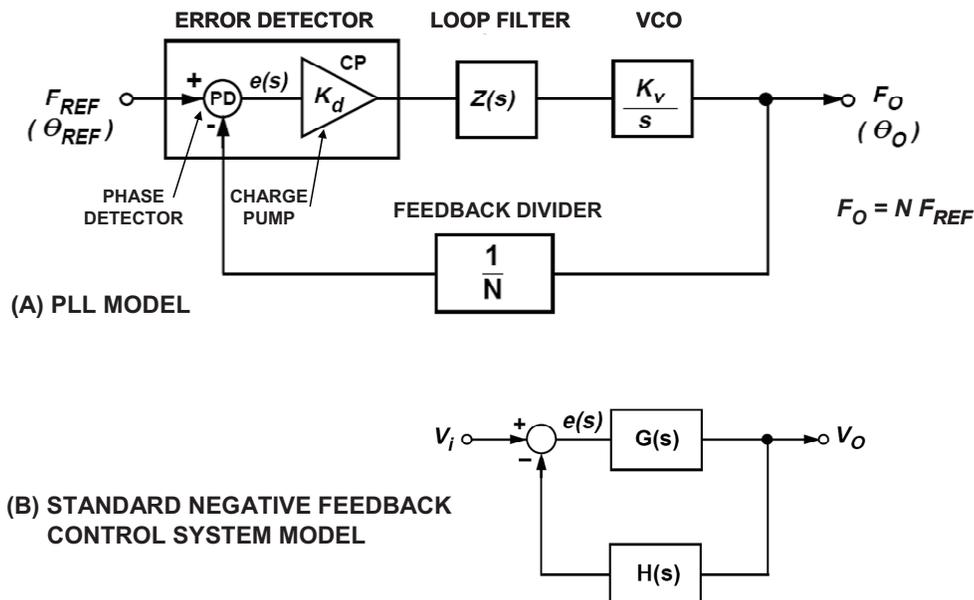
Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## 锁相环(PLL)基本原理

### 锁相环基本结构

锁相环是一种反馈系统，其中电压控制振荡器(VCO)和相位比较器相互连接，使得振荡器可以相对于参考信号维持恒定的相位角度。锁相环可用来从固定的低频信号生成稳定的输出高频信号等。

图1A显示了PLL的基本模型。PLL可以借助拉普拉斯变换理论，利用正向增益项 $G(s)$ 和反馈项 $H(s)$ 来作为负反馈系统进行分析，如图1B所示。其适用负反馈系统的一般公式。



**图1：锁相环(PLL)基本模型**

PLL的基本模块为误差检波器(由鉴频鉴相器和电荷泵组成)、环路滤波器、VCO和反馈分频器。负反馈强制误差信号 $e(s)$ 在反馈分频器输出和基准频率处于锁相和锁频状态且 $F_O = N F_{REF}$ 的点处接近0。

根据图1，当系统使用PLL来生成高于输入的频率时，VCO会以角频率 $\omega_o$ 振荡。该信号的一部分会通过分频器以 $1/N$ 的比率回馈到误差检波器。这种经过分频的频率会馈入误差检波器的其中一个输入端。本例中，另一路输入为固定参考信号。误差检波器会比较两个输入端的信号。当这两个信号输入的相位和频率相等时，误差为常数，环路则处于“锁定”条件下。

鉴频鉴相器(PFD)

图2显示鉴频鉴相器(PFD)的常见实现方案，该类器件基本上都由两个D型触发器组成。一路Q输出使能正电流源，另一路Q输出则使能负电流源。假设本设计中D型触发器由正边沿触发，那么可能状态就如逻辑表中所示。

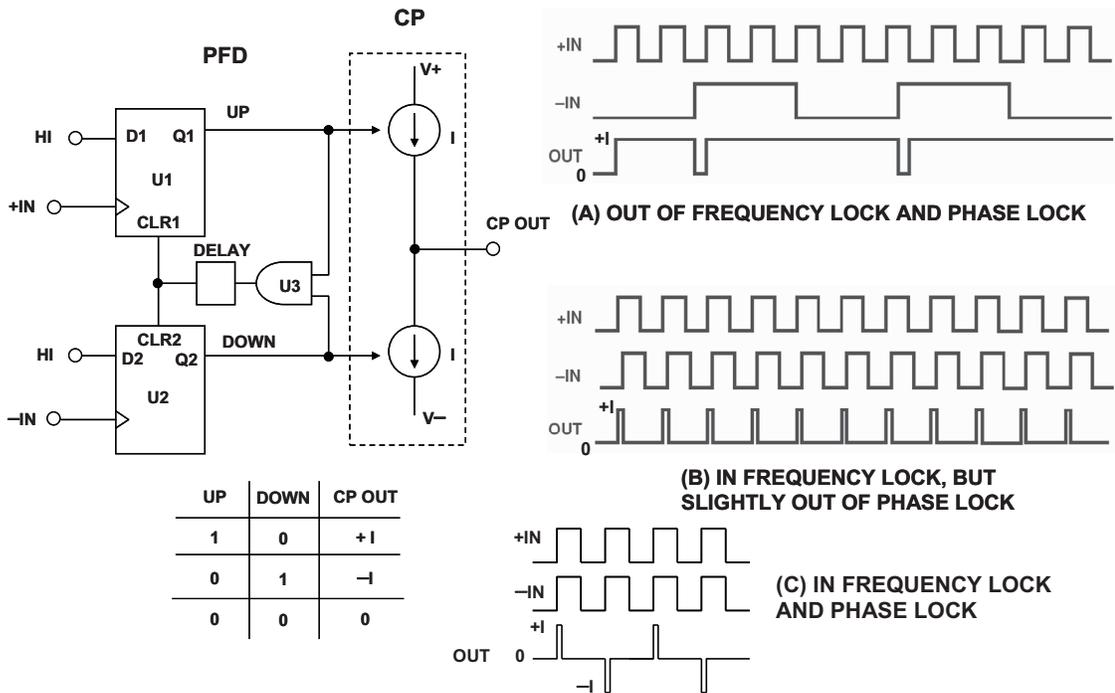


图2: 鉴频鉴相器(PFD)驱动电荷泵(CP)

现在考虑系统失锁且+IN处的频率远高于-IN处的频率时电路的性能表现，如图2A所示。由于+IN处的频率远高于-IN处的频率，因此UP输出多数时间处于高电平状态。+IN上的第一个上升沿会发送输出高电平，并且这种情况会一直持续到-IN上出现第一个上升沿。在实际的系统中，这就意味着输出及VCO的输入会被进一步拉高，进而造成-IN处的频率增加。这恰恰是期望达到的效果。如果+IN处的频率远低于-IN处的，则会出现相反效果。OUT处的输出多数时间处于低电平状况。这会在负方向上驱动VCO，并再次使得-IN处的频率更加接近+IN处的频率，从而达到锁定条件。

图2B显示了输入处于锁频和接近锁相条件时的波形。由于+IN领先于-IN，因此输出为一系列正电流脉冲。这些脉冲往往会驱动VCO，使得-IN信号变得与+IN信号相位对齐。发生这种情况时，如果U3和U1及U2的CLR输入端之间没有任何延迟元件，那么输出可能会进入高阻抗模式，从而既不会生成正电流脉冲，也不会生成负电流脉冲。这并不是一个很好的状况。

VCO会发生漂移，直到造成显著的相位误差并再次开始生成正电流脉冲或负电流脉冲。这种循环会持续相当长的一段时间，其影响是电荷泵的输出会被某个信号(PFD输入基准频率的次谐波)调制。由于这可能是一种低频信号，因此无法通过环路滤波器进行衰减，从而会导致VCO输出频谱中出现非常明显的杂散，该现象称为“间隙”或“死区”效应。

通过在U3的输出端和U1及U2的CLR输入端之间添加延迟元件，可以确保不会发生这种情况。添加延迟元件后，即使+IN和-IN相位完全对齐时，电荷泵输出端仍会生成电流脉冲，如图2C所示。该延迟的持续时间等于在U3输出处插入的延迟，称为反冲防回差脉冲宽度。

请注意，如果+IN频率小于-IN频率且/或+IN相位落后于-IN相位，那么电荷泵的输出将为一系列负电流脉冲，与图2中(A)和(B)所示条件相反。

### 预分频器

在传统的整数N分频频率合成器中，输出频率的分辨率由施加于鉴相器的基准频率决定。因此，举例来说，如果需要200 kHz间隔(如GSM电话中)，那么基准频率必须为200 kHz。但是，获取稳定的200 kHz频率源并不容易。一种合理的做法是采用基于晶振的良好高频源并对其进行分频。例如，从10 MHz频率基准开始并进行50分频，就可以得到所需的频率间隔。这种方法如图3A所示。

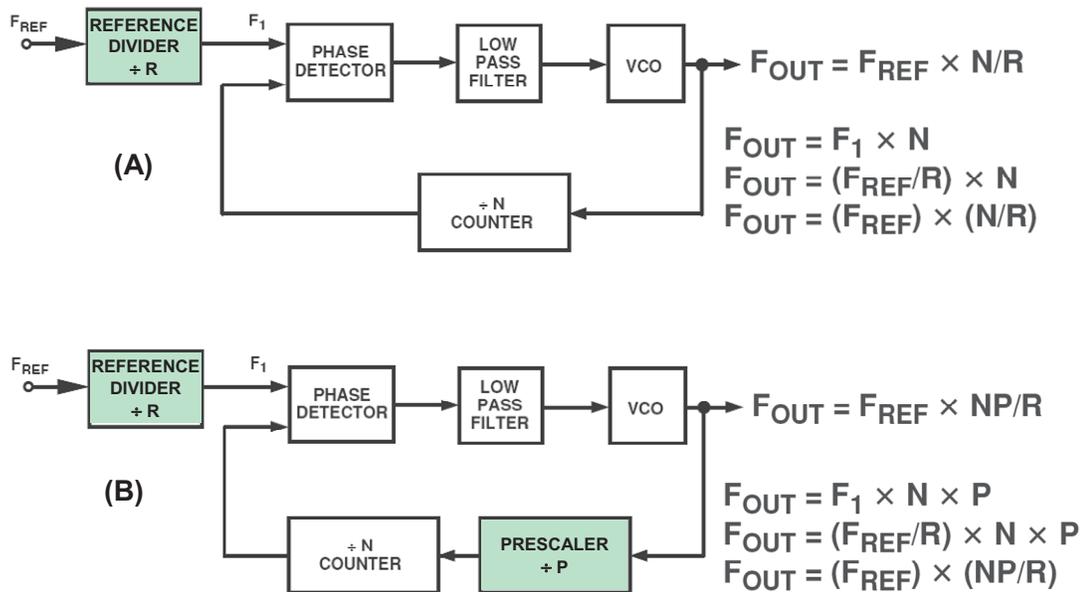


图3: 向基本PLL中添加输入参考分频器和预分频器

“N计数器”也称为N分频器，是用于设置PLL中输入频率和输出频率之间关系的可编程元件。N计数器的复杂性逐年增长。除简单的N计数器之外，其发展为包括“预分频器”，后者可具有“双模”。这种结构已经发展成为下列情况下固有问题的一种解决方案：需要超高频输出时使用基本N分频结构来反馈至鉴相器。例如，我们假设需要一个具有10 Hz间隔的900 MHz输出。可以使用10 MHz基准频率并将R分频器设为1000。然后，反馈中的N值必须为90,000。这意味着，至少需要一个能够处理900 MHz输入频率的17位计数器。为处理此范围，需要考虑在可编程计数器之前加上一个固定计数器元件，以便将超高输入频率拉低至标准CMOS的工作频率范围内。这种计数器称为“预分频器”，如图3B所示。

不过，应注意使用图中所示的标准预分频器会将系统分辨率降至 $F_1 \times P$ 。该问题可以通过使用双模预分频器来解决；双模预分频器具有标准预分频器的各种优点，但不会造成分辨率损失。双模预分频器是一种可通过外部控制信号将分频比从一个值切换为另一个值的计数器，其用法如图4所示。

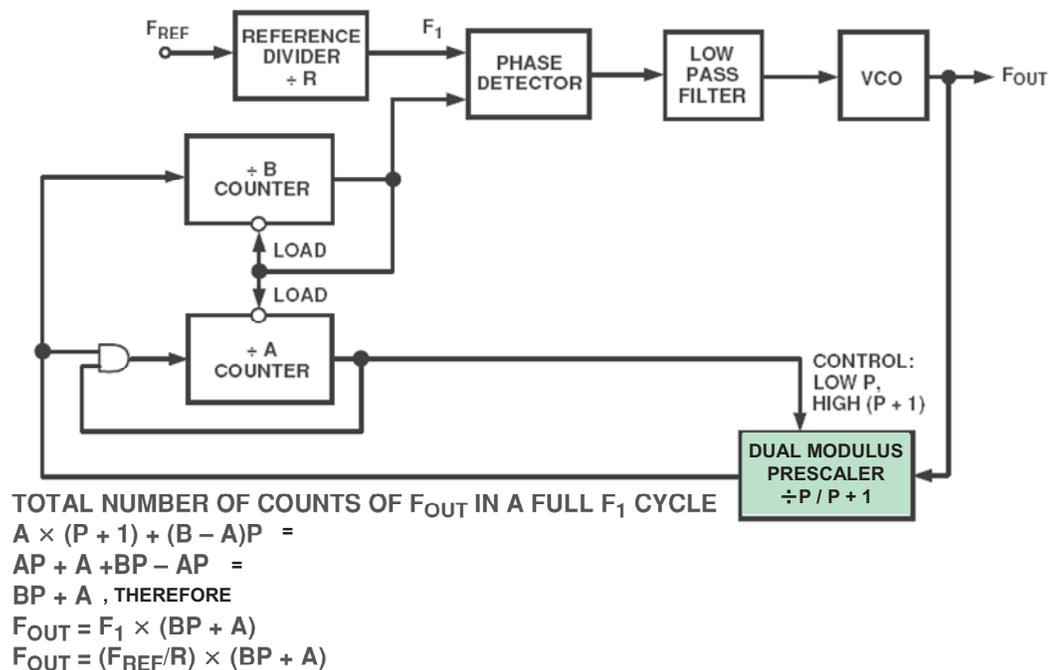


图4：向PLL中添加双模预分频器

通过使用带有A和B计数器的双模预分频器，仍可以保持 $F_1$ 的分辨率。不过，必须满足下列条件：

1. 如果两个计数器未超时，其输出信号都为高电平。
2. 当B计数器超时，其输出变为低电平，并立即将两个计数器加载至其预设值。

3. 加载到B计数器的值必须始终大于加载到A计数器的值。

假设B计数器刚发生超时并且两个计数器均已经重新加载值A和B。我们来看看再次达到相同状态所需的VCO周期数。

只要A计数器未超时，预分频器即会以P + 1进行分频。因此，每次预分频器计数达到(P + 1)个VCO周期时，A和B计数器都会递减1。这意味着，A计数器会在((P + 1) × A)个VCO周期后超时。

然后，预分频器会切换至P分频。也可以说，此时B计数器还有(B - A)个周期才会发生超时。所需时间为：((B - A) × P)。

现在，系统会返回到刚开始的初始条件。

所需的VCO周期总数为：

$$\begin{aligned} N &= [A \times (P + 1)] + [(B - A) \times P] \\ &= AP + A + BP - AP \\ &= BP + A. \end{aligned}$$

因此， $F_{\text{OUT}} = (F_{\text{REF}}/R) \times (BP + A)$ ，如图4所示。

设计PLL时需要考虑很多规格。RF输入频率范围和通道间隔决定R和N计数器的值以及预分频器参数。

环路带宽决定锁频和锁相时间。由于PLL是一种负反馈系统，因此还必须考虑相位裕量和稳定性问题。

PLL输出的频谱纯度由相位噪声和基准相关杂散的水平给出。

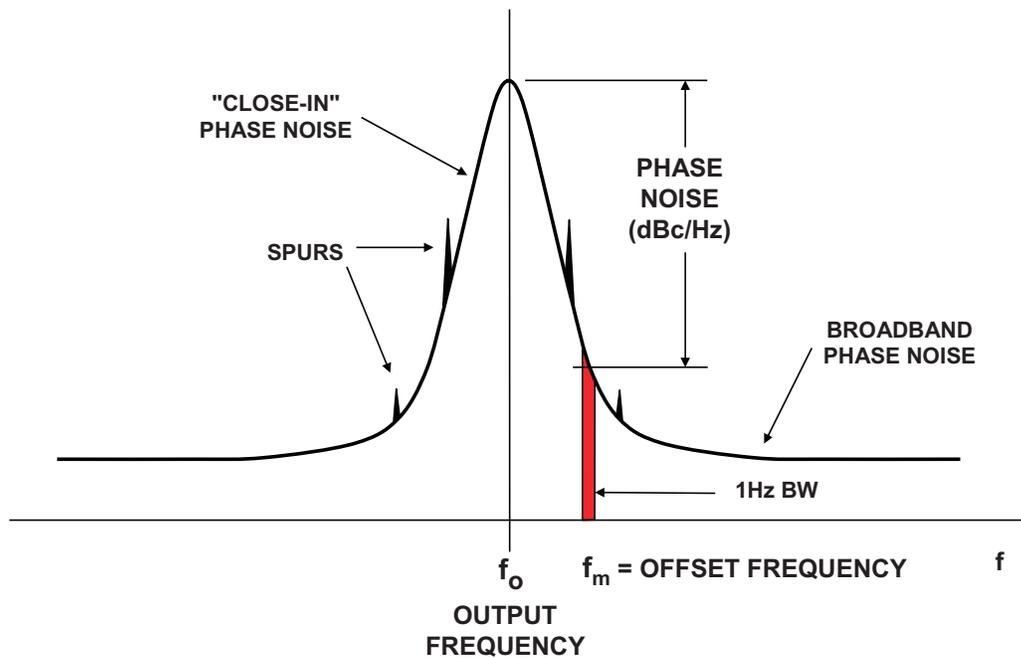
这些参数中很多都是交互式的；例如，通过减小环路带宽值，可以降低相位噪声和基准杂散水平，但却会造成锁定时间延长和相位裕量减少。

由于涉及到很多考量，因此可以使用ADI公司的[ADIsimPLL™](#)等PLL设计程序来评估这些考量并根据所需规格调整各种参数。该程序不仅可以帮助完成理论设计，而且还可以辅助进行器件选型和确定元件值。

## 振荡器/PLL相位噪声

PLL是一种类型的振荡器，而在任何振荡器设计中，频率稳定性都至关重要。我们需要考虑长期和短期稳定性。长期频率稳定性是关于输出信号在较长时间(几小时、几天或几个月)内的变化情况。其通常以一定时间内的比率 $\Delta f/f$ 来规定，单位为百分比或dB。

短期稳定性则是关于几秒或更短时间内的变化情况。这些变化可能是随机的，也可能是周期性的。可以使用频谱分析仪来检查信号的短期稳定性。图5显示了一种典型频谱，其中随机和离散频率成分导致出现大范围的波裙和杂散波峰。



**图5：振荡器相位噪声和杂散**

信号源中的已知时钟频率、电力线干扰和混频器产品都可能引起离散杂散成分。随机噪声波动引起的扩张是相位噪声造成的。其可能是有源和无源器件中的热噪声、散粒噪声和/或闪烁噪声造成的。

振荡器的相位噪声频谱显示1 Hz带宽时噪声功率与频率成函数关系。相位噪声的定义为指定频率偏移 $f_m$ 下1 Hz带宽时噪声与频率 $f_0$ 下振荡器信号幅度的比率。

习惯的做法是以单边相位噪声来表征振荡器，如图6所示；图中绘制了相位噪声与频率偏移 $f_m$ 的函数关系图，其中相位噪声单位为dBc/Hz且频率轴采用对数比例。请注意，实际曲线可以近似表示为数个区域，各区域的斜率为 $1/f^x$ ，其中 $x = 0$ 时对应于“白”相位噪声区域(斜率 = 0 dB/十倍频程)，而 $x = 1$ 时对应于“闪烁”相位噪声区域(斜率 = -20 dB/十倍频程)。此外还有 $x = 2, 3, 4$ 时的区域，且这些区域逐渐逼近载波频率。

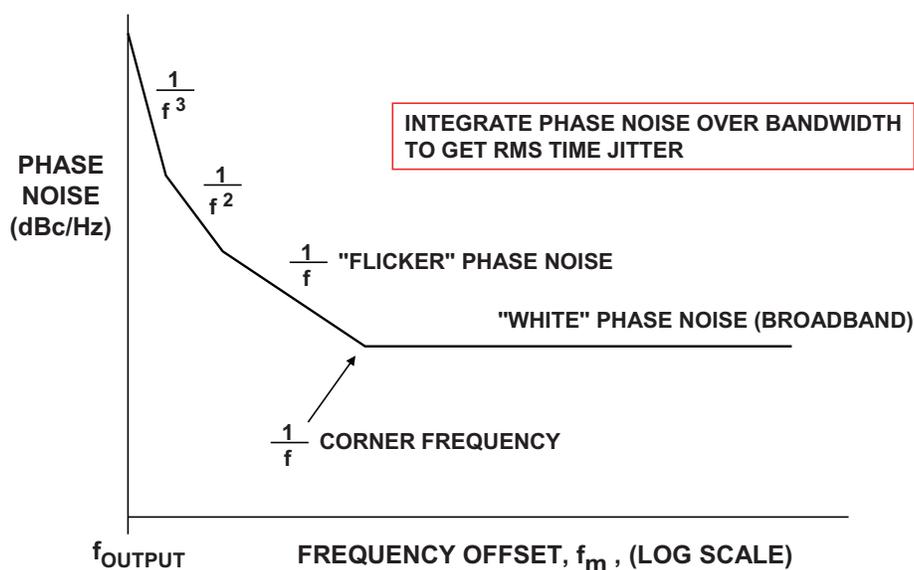


图6：相位噪声(单位为dBc/Hz)与相对于输出频率的频率偏移的关系

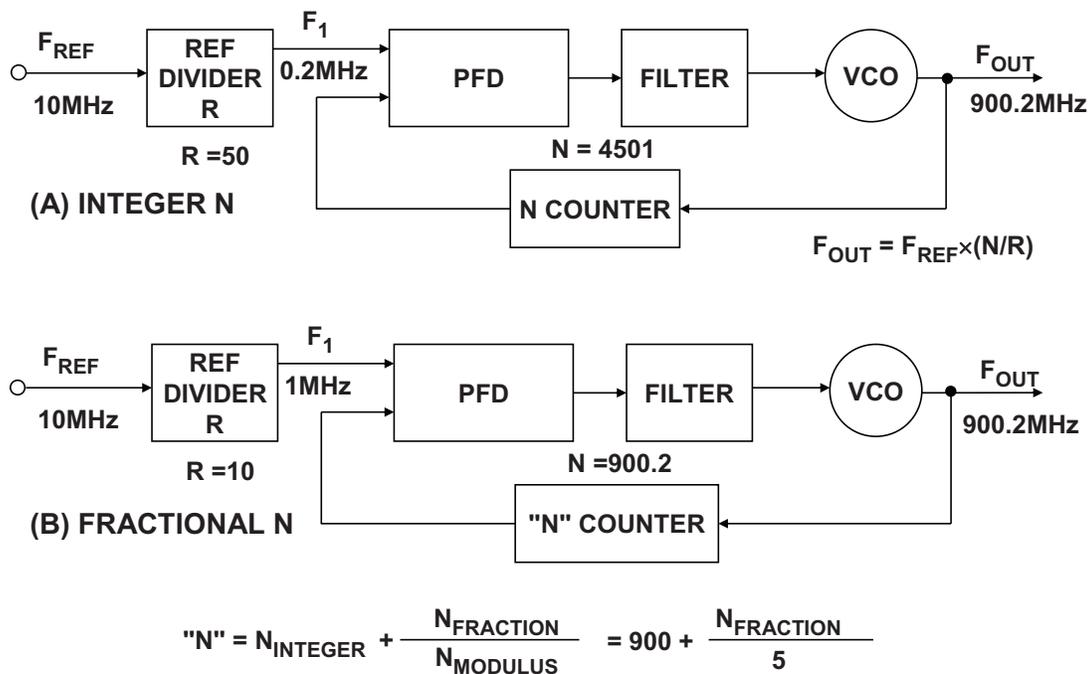
请注意，相位噪声曲线有些类似于放大器的输入电压噪声频谱密度。与放大器电压噪声一样，最好在振荡器中使用 $1/f$ 低转折频率。

在某些情况下，将相位噪声转换成时间抖动会很有用。这可以通过对所需频率范围内的相位噪声图进行基本积分处理来实现。(请参见[教程MT-008“将振荡器相位噪声转换为时间抖动”](#)。)使用PLL输出来驱动ADC采样时钟时，这种在相位噪声和时间抖动之间执行转换的能力特别有用。一旦时间抖动已知，就可以评估其对整体ADC SNR的影响。[ADIsim-PLL™](#)程序(稍后讨论)可以执行相位噪声和时间抖动之间的转换。

### 小数N分频锁相环

小数N分频PLL从上世纪七十年代开始就已投入使用。正如上文所述，整数N分频PLL的输出分辨率限制为PFD输入频率的步进(如图7A所示)，其中PFD输入为0.2 MHz。

小数N分频使PLL输出的分辨率可以降至PFD频率的一小部分(如图7B所示)，其中PFD输入频率为1 MHz。可以产生分辨率为数百Hz的输出频率，同时维持较高的PFD频率。因此，小数N分频的N值显著小于整数N分频的N值。



**Figure 7: Integer-N Compared to Fractional-N Synthesizer**

由于电荷泵处的噪声以 $20 \log N$ 的比率累加到输出上，因此相位噪声可以得到显著改善。对于GSM900系统，小数N分频[ADF4252](#)的相位噪声性能为 $-103 \text{ dBc/Hz}$ ；相比之下，整数N分频PLL [ADF4106](#)的相位噪声性能为 $-93 \text{ dBc/Hz}$ 。

小数N分频的另一个显著优势是可以改善锁定时间。当PFD频率设置为20 MHz、环路带宽为150 kHz时，频率合成器可以在不到 $30 \mu\text{s}$ 内跳跃30 MHz。目前的基站要求使用两个PLL模块，确保LO能满足传输的时序要求。利用小数-N分频的超快锁定时间，将来频率合成器的锁定时间特性将允许用一个小数-N分频PLL模块代替现行的两个“乒乓”式PLL。

小数N分频PLL的缺点是杂散水平较高。小数N分频900.2(见图7B)的组成是N分频器花80%的时间除以900，花20%的时间除以901。平均分频是正确的，但瞬时分频是错误的。因此，PFD和电荷泵会不断地试图校正瞬时相位误差。提供求平均值功能的 $\Sigma$ - $\Delta$ 调制器会承受繁重的数字运算活动，从而在输出处产生杂散成分。数字噪声加上电荷泵的匹配不精确性，导致杂散水平高于大多数通信标准的容许水平。小数N分频器件只是在最近才对杂散性能进行了必要的改进，例如[ADF4252](#)，使设计人员得以考虑将其用于传统的整数-N分频市场。

## 使用ADIsimPLL™简化PLL设计

ADIsimPLL™软件是一个完整的PLL设计包，可从ADI公司网站下载。该软件具有用户友好的图形界面，并提供了完整而全面的指南供新手用户参考。

传统上，PLL频率合成器设计依靠发布的应用笔记来辅助设计PLL环路滤波器。因此，需要建立原型电路来确定锁定时间、相位噪声和基准杂散电平等重要性能参数。然后，在实验室内“调整”元件值并反复进行冗长测量来实现优化。

ADIsimPLL可以简化并改进传统的设计流程。设计人员首先从“全新PLL向导”开始构建PLL，方法是指定PLL的频率要求，选择整数N分频或小数N分频方案，然后从PLL芯片库(模型库或定制VCO)中选择并从多种拓扑结构选择环路滤波器。该程序可以设计环路滤波器并显示相位噪声、基准杂散、锁定时间以及锁定检测性能等关键参数。

ADIsimPLL其简单性和互动性如同使用电子表格。用户可以修改环路带宽、相位裕量、VCO灵敏度和元件值等全部设计参数，且仿真结果会实时更新。这使得用户可以轻松针对特定要求来优化设计。例如，通过改变带宽，用户可以实时观察权衡锁定时间和相位噪声，并具有基准测量精度。

ADIsimPLL包括精确的相位噪声模型，从而能可靠地预测频率合成器闭环相位噪声。用户报告仿真和测量之间具有出色的相关性。如果需要，设计人员可以直接在元件级别操作并观察改变个别元件值所产生的影响。

使用ADIsimPLL的基本设计流程归纳如下：

1. 选择基准频率、输出频率范围和通道间隔
2. 从列表中选择PLL芯片
3. 选择VCO
4. 选择环路滤波器配置
5. 选择环路滤波器带宽和相位裕量
6. 运行仿真
7. 评估时间和频域结果
8. 优化

ADIsimPLL适用于整数N分频或小数N分频PLL，但无法模拟小数N分频杂散。小数N分频器件的相位噪声预测假设器件在“最低相位噪声”模式下工作。

## 参考文献

1. Mike Curtin and Paul O'Brien, "Phase-Locked Loops for High-Frequency Receivers and Transmitters"  
[Part 1, Analog Dialogue, 33-3, Analog Devices, 1999](#)  
[Part 2, Analog Dialogue, 33-5, Analog Devices, 1999](#)  
[Part 3, Analog Dialogue, 33-7, Analog Devices, 1999](#)
2. Roland E. Best, *Phase Locked Loops, 5th Edition*, McGraw-Hill, 2003, ISBN: 0071412018.
3. Floyd M. Gardner, *Phaselock Techniques, 2nd Edition*, John Wiley, 1979, ISBN: 0471042943.
4. Dean Banerjee, *PLL Performance, Simulation and Design, 3rd Edition*, Dean Banerjee Publications, 2003, ISBN: 0970820712 .
5. Bar-Giora Goldberg, *Digital Frequency Synthesis Demystified*, Newnes, 1999, ISBN: 1878707477.
6. Brendan Daly, "Comparing Integer-N and Fractional-N Synthesizers," *Microwaves and RF*, September 2001, pp. 210-215.
7. Adrian Fox, "[Ask The Applications Engineer-30 \(Discussion of PLLs\)](#)," *Analog Dialogue, 36-3, 2002*.
8. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 4.
9. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 6. Also available as *The Data Conversion Handbook*, Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 6.
10. Walt Kester, "[Converting Oscillator Phase Noise to Time Jitter](#)," [Tutorial MT-008](#), Analog Devices
11. Design Tool: [ADIsimPLL](#), Analog Devices, Inc.
12. Analog Devices PLL Product Portfolio: <http://www.analog.com/pll>

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## 高频对数放大器

### 多级对数放大器

在[指南MT-077](#)中，我们讨论了低频对数放大器。在本指南中，我们将讨论高频应用。

基于二极管/运算放大器(或晶体管/运算放大器)的传统对数放大器存在频率响应受限的不足，尤其是在低电平下。因此，高频应用中使用检波和真对数架构。尽管它们在细节上有所不同，但其基本设计原理却是一致的：这些设计采用大信号行为定义明确的多个类似级联线性级，而不是一个具有对数特性的放大器。

假设有 $N$ 个级联限幅放大器，各放大器的输出驱动着一个求和电路和下一级(图1)。如果每个放大器的增益为 $A$  dB，则带的小信号增益为 $NA$  dB。如果输入信号小到最后一级无需进行限幅的程度，则求和放大器的输出将以最后一级的输出为主导。

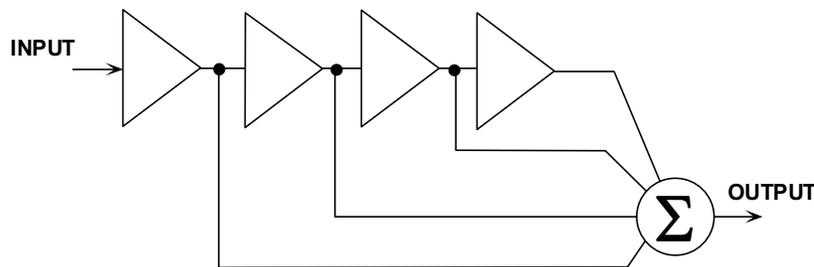


图1：基本的多级对数放大器架构

随着输入信号的增加，最后一级将进行限幅。此时，它对求和放大器输出的贡献是固定的，但求和放大器的增量增益会降至 $(N - 1)A$  dB。随着输入继续增加，该级则会进行限幅，并对输出提供固定的贡献量，而增量增益会下降至 $(N - 2)A$  dB，依此类推——直到第一级进行限幅且输出不再随信号输入的增加而变化为止。

因此，响应曲线为一组直线，如图2所示。但这些直线的合起来却非常逼近对数曲线；在实践中，甚至更好，因为很少有限幅放大器(尤其是高频放大器)能像本模型一样实现突然限幅。

增益 $A$ 的选择也会影响对数线性度。如果增益过高，对数逼近的效果会比较差。如果过低，则需要过多的级来实现目标动态范围。一般而言，可选择10至12 dB ( $3\times$ 至 $4\times$ )范围内的增益。

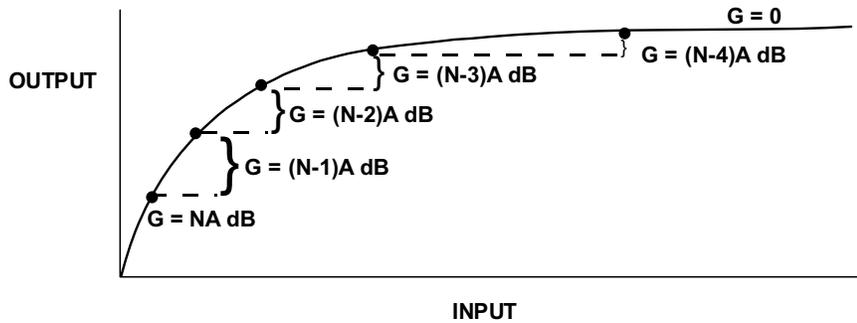


图2: 基本多级对数放大器的响应(单极性)

当然，这是一种理想而且非常普通的模型——它展示了相关原理，但很难在高频下实现。假设每个限幅放大器的延迟为 $t$ 纳秒(当放大器限幅时，该延迟也可能发生变化，但我们先来考虑一阶效应!)。通过所有 $N$ 个级的信号会存在 $Nt$ 纳秒的延迟，而只通过一个级的信号只会延迟 $t$ 纳秒。这意味着，小信号会延迟 $Nt$ 纳秒，而大信号则被“污损”，在 $Nt$ 纳秒内分散到达。1纳秒相当于光速下的1英尺，因此，在雷达系统的分辨率下，这相当于位置分布范围达 $Nt$ 英尺，这在某些系统中是不可接受的(对多数对数放大器应用来说，这并不是问题)。

一种解决办法是在求和放大器的信号路径上插入延迟，但这可能使情况复杂化。另一种解决办法是略微改变架构，改为采用小信号增益为 $A$ 、大信号(增量)增益为单位值(0 dB)的多个级，而不是对增益级进行限幅。我们可以将这种级看成两个并联放大器，一个带增益的限幅放大器和一个单位增益缓冲器，二者一起为求和放大器提供信号，如图3所示。

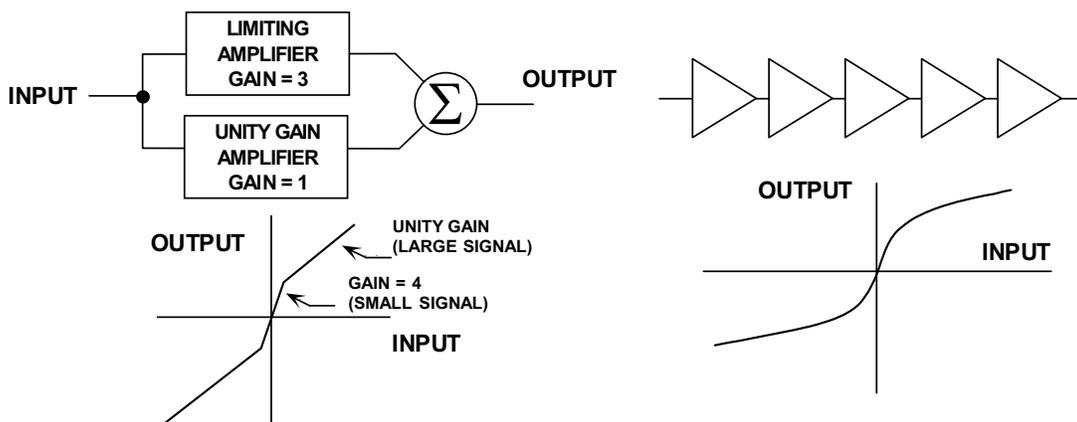
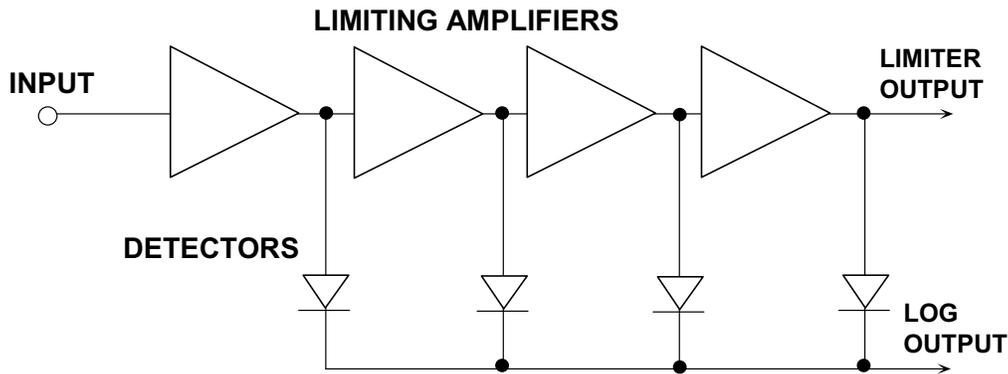


图3: “真”对数放大器元件以及由数个此类元件构成的对数放大器的结构和性能

## 连续检波对数放大器

在图3中，这些级联的级形成一个对数放大器，无需对各个级求和。上述多级架构都是视频对数放大器，或真对数放大器，但最常见的高频对数放大器是图4所示的连续检波对数放大器架构。



**DETECTORS MAY BE FULL OR HALF WAVE**

**SHOULD BE CURRENT OUTPUT DEVICES (NOT SIMPLE DIODES) SO THAT OUTPUTS MAY BE SUMMED WITHOUT ADDITIONAL SUMMING COMPONENTS BEING NECESSARY**

**图4：带对数和限幅器输出的连续检波对数放大器**

如上所述，连续检波对数放大器由级联限幅级构成，但并不直接对其输出求和，而是将这些输出施加到检波器，然后对检波器输出求和，如图4所示。如果检波器具有电流输出，则求和过程可能只是将所有检波器输出连接起来。

采用这种架构的对数放大器有两个输出：对数输出和限幅输出。在许多应用中，并不使用限幅输出，但在某些应用中(例如带“S”表的FM接收器)，二者都是必不可少的。以极性解调技术从输入信号中抽取相位信息时，限幅输出尤其有用。

连续检波对数放大器的对数输出一般含有幅度信息，相位和频率信息则丢失。然而，如果使用半波检波器，并且同时注意均衡连续检波器的延迟，则情况不一定是这样——但此类对数放大器的设计非常严苛。

## 对数放大器的规格

对数放大器的规格包括噪声、动态范围、频率响应(用作连续检波对数放大器级的某些放大器同时有低频和高温截止)、传递特性的斜率(表示为V/dB或mA/dB, 具体取决于电压还是电流输出器件)、截点(输出电压或电流为零时对应的输入电平)和对数线性度。(参见图5)。

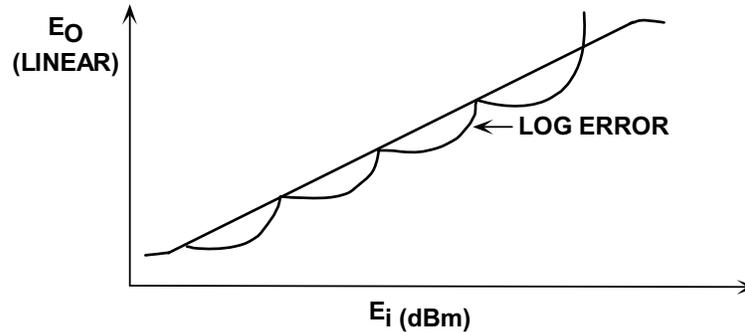


图5: 连续检波对数线性度

许多年以前, 还需要用多个独立的单芯片限幅放大器(如Plessey SL-1521系列)来构建高性能、高频连续检波对数放大器(称为对数带)(见参考文献5)。不过, 随着IC工艺的发展, 完整的对数带功能可以集成到单个芯片上, 因而不需要成本高昂的混合型对数带。目前, [现代连续检波对数放大器](#)已广泛上市。

[AD641](#)对数放大器在单个IC封装中集成了5个限幅级(每级10 dB)和5个全波检波器, 其对数性能从DC扩展到250 MHz。另外, 其放大器和全波检波器级是平衡的, 因此, 只要布局正确, 通过供电轨的反馈一般可以保证稳定。AD641的功能框图如图6所示。与许多以前的集成电路对数放大器不同, AD641经过激光调整, 斜率和截距绝对精度极高, 并且完全经过温度补偿。AD641的传递函数和对数线性度如图7所示。

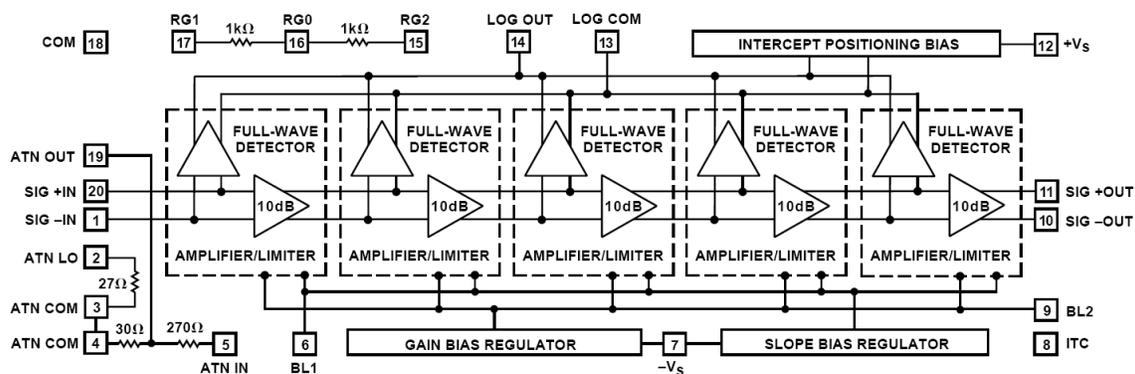
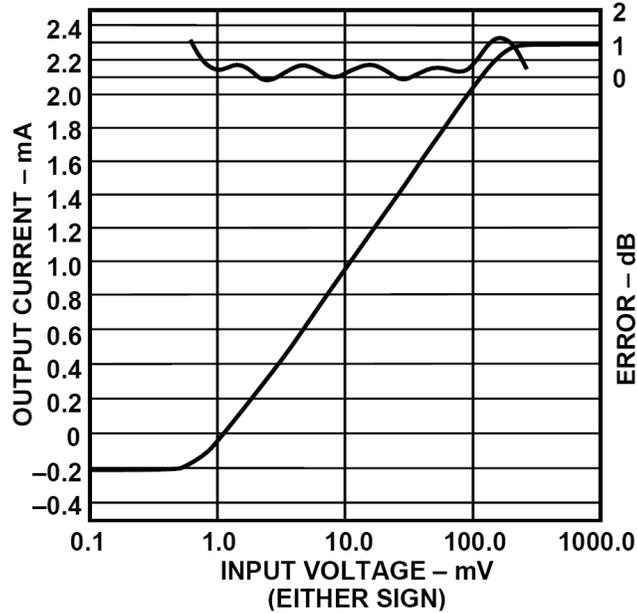


图6: AD641单芯片对数放大器的功能框图



**图7：单芯片AD641的直流对数传递函数和误差曲线**

由于AD641具有极高的精度，因此，在计算响应时必须考虑其实际的驱动波形。当一种波形通过对数函数发生器时，结果波形的均值会发生变化。虽然这并不会影响响应的斜率，但是截距会按图8中的方式发生明显变化。

INPUT WAVEFORM	PEAK OR RMS	INTERCEPT FACTOR	ERROR (RELATIVE TO A DC INPUT)
Square Wave	Either	1	0.00dB
Sine Wave	Peak	2	-6.02dB
Sine Wave	RMS	1.414 ( $\sqrt{2}$ )	-3.01dB
Triwave	Peak	2.718 (e)	-8.68dB
Triwave	RMS	1.569 ( $e/\sqrt{3}$ )	-3.91dB
Gaussian Noise	RMS	1.887	-5.52dB

**图8：波形对截点的影响**

AD641经过校准和激光调整，以便为直流电平或者对称的2kHz方波产生既定响应。在正弦波输入下，其额定截距为2 mV(也就是说，无论是幅度为2 mV峰值(非峰峰值)的2 kHz正弦波，还是直流或1 mV的方波信号，两者产生的均值输出信号完全相同)。

波形也会影响对数响应的纹波或非线性度。对于直流或方波输入，该纹波最大，因为输入电压的每个值都会映射到传递函数上的一个位置，从而描绘出对数响应的全部非线性度。与此相反，一般时变信号在其波形的每个周期中都具有连续的值。平均输出由此被“平滑处理”，因为在波形对传递函数“扫描”时，理想响应的周期偏移表现出逐渐消除的倾向。从图9中可以清楚地看出，这种平滑效果在三角波情况下表现得最为显著。

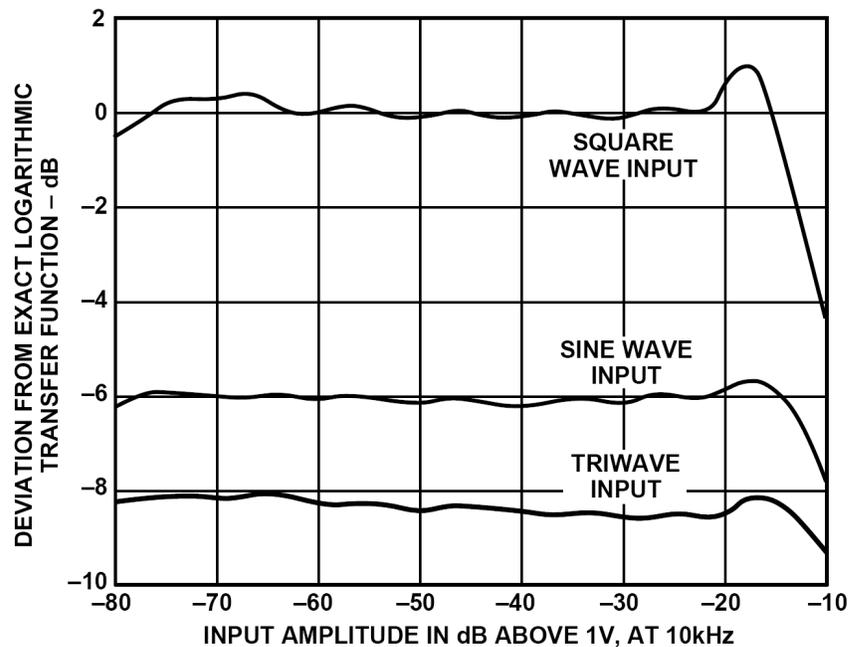


图9：波形对AD641对数线性度的影响

**参考文献:**

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 2, 4.
2. Daniel H. Sheingold, Editor, *Nonlinear Circuits Handbook*, Analog Devices, Inc., 1974.
3. Richard Smith Hughes, *Logarithmic Amplifiers*, Artech House, Inc., Dedham, MA., 1986.
4. William L. Barber and Edmund R. Brown, "A True Logarithmic Amplifier for Radar IF Applications," *IEEE Journal of Solid State Circuits*, Vol. SC-15, No. 3, June, 1980, pp. 291-295.
5. Peter E. Chadwick, "Advances in Logarithmic Amplifiers," Plessey Semiconductors, U.K., available on line at: <http://ieeexplore.ieee.org/iel3/1157/3119/00098684.pdf>
6. ["Ask the Applications Engineer – 28 Logarithmic Amplifiers-Explained," Analog Dialogue, Vol. 33, No. 3, March, 1999.](#)
7. ["Detecting Fast RF Bursts Using Log Amps," Analog Dialogue, Vol. 36, No. 2, September-October, 2002.](#)
8. Rheza Moghimi, "Log-ratio Amplifier has Six-decade Dynamic Range," Analog Devices, Inc. (*EDN*, November 2003).

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.