

2014 年TI杯大学生电子设计竞赛

E题： Σ - Δ 型A/D转换电路

1. 任务

设计并制作 1 阶 Σ - Δ 调制器，并在此基础上设计并制作 Σ - Δ 型 A/D 转换电路，电路结构如图 1 所示。

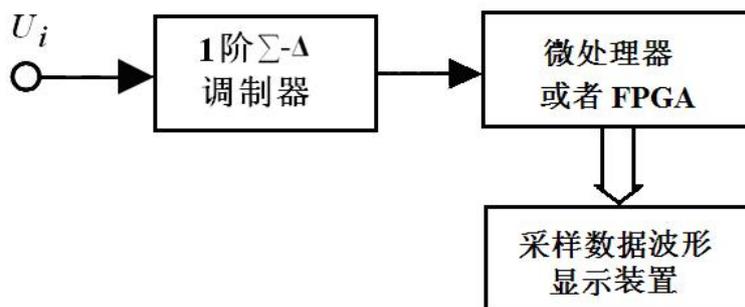


图 1 Σ - Δ 型 A/D 转换电路框图

2. 要求

- (1) 设计并制作 1 阶 Σ - Δ 调制器，具体电路框图如图 2 所示。图中 U_{REF} 为 2V。要求 Σ - Δ 调制器输出的 1 位数据流为 TTL 电平，时钟频率 f_{CLK} 自定。（12 分）
- (2) 利用（1）中制作的 1 阶 Σ - Δ 调制器，设计并制作 Σ - Δ 型 A/D 转换电路。要求 A/D 转换电路可设置工作于下列两种模式：（32 分）
 - 模式 1，采样频率为 100Hz，采样位数为 12 位；
 - 模式 2，采样频率为 1600Hz，采样位数为 8 位。
- (3) 设计并制作 Σ - Δ 型 A/D 转换电路的采样数据显示装置。要求可以显示 A/D 转换电路连续采样数据波形，显示的波形数据点数不少于 200 点。同时，在波形上显示一个光标，移动光标时能显示相应波形点的采样数据。（6 分）
- (4) 改进 Σ - Δ 型 A/D 转换电路的显示装置，要求能计算 A/D 转换电路输出的采样数据的方差 σ^2 ，并实时显示。方差的计算使用连续 1 秒的采样数据直接计算。（10 分）
- (5) 改进 Σ - Δ 型 A/D 转换电路的设计，尽量减小 A/D 转换电路的本底噪声和量化噪声，提高 Σ - Δ 型 A/D 转换电路的采样精度。实现 Σ - Δ 型 A/D 转换电路能工作于下列模式：（20 分）
 - 模式 3，采样频率为 100Hz，采样位数为 16 位，有效位数不少于 13 位。

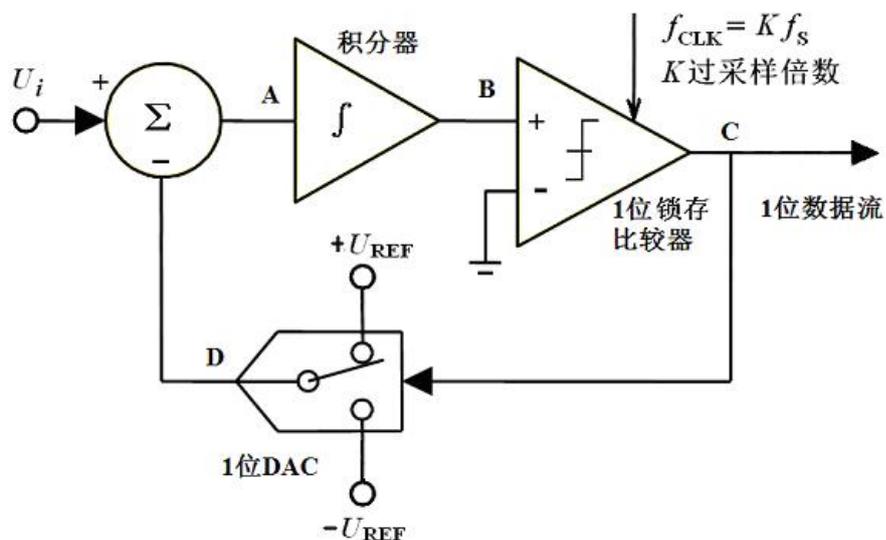


图2 1阶 Σ - Δ 调制器的结构框图

(6) 进一步提高 Σ - Δ 型 A/D 转换电路的采样速度。实现 Σ - Δ 型 A/D 转换电路能工作于下列模式： (15分)

- 模式4，采样频率为1600Hz，采样位数为16位，有效位数不少于13位。

(7) 其他自主发挥。 (5分)

(8) 设计报告 (20分)

项 目	主要内容	满分
方案论证	比较与选择，方案描述	3
理论分析与计算	系统相关参数设计	5
电路与程序设计	系统组成，原理框图与各部分的电路图，系统软件与流程图	5
测试方案与测试结果	测试结果完整性，测试结果分析	5
设计报告结构及规范性	摘要，正文结构规范，图表的完整与准确性	2
总 分		20

3. 说明

(1) 要求(1)中，要求减法器、积分电路、比较器和1位DAC分别用独立电路实现，并在A、B、C、D信号处应留有测试口，以便对信号波形进行观察。图3给出了各点的信号参考波形示意。

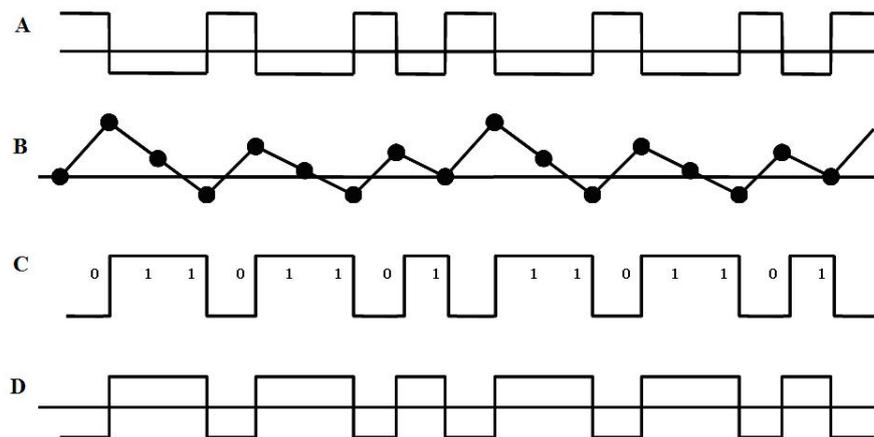


图3 1阶 Σ - Δ 调制器中各点信号的波形示意

(2) 要求 (3) 设计并制作采样数据显示装置，可以使用自制的液晶显示；也可以借助外部显示设备，如示波器。但必须能显示 Σ - Δ 型A/D转换电路输出的连续采样数据，并能显示采样信号的波形。

(3) 采样数据的方差 σ^2 计算：将 Σ - Δ 型A/D转换电路输出的一组采样数据，记为 $x[n]$ $n=1,2,\dots,N$ ，计算其均值 $m = \left(\sum_{n=1}^N x[n]\right) / N$ ，则方差 σ^2 为：

$$\sigma^2 = \left\{ \sum_{n=1}^N (x[n] - m)^2 \right\} / N。$$